

10/019138  
531F 1PCT/PTC 19 DEC 2001

National Phase of PCT/EP00/05772 in U.S.A.  
Title: Method of Subdividing a Wafer  
Applicants: FEIL, Michael et al.

---

Annotated copy of Final version of PCT/EP00/05772

---

1/PRTS

10/019138  
531 Res'd PCT/PT 19 DEC 2001

## Method of Subdividing a Wafer

### Description

#### Field of the Invention

The present invention relates to the production of integrated circuits and, in particular, to a method of dicing a wafer, which comprises a plurality of individual circuit structures, so as to obtain very thin circuit chips.

#### Background of the Invention and Prior Art

Recently, there has been an increasing demand for thin chips on the one hand and high flexibility on the other so as to be able to use electronic circuit chips in a great variety of cases. The demand for thin circuit chips results, on the one hand, from increasingly complex electronic systems which should be composed of individual, fully processed chips that can be obtained from various manufacturers; simultaneously, these electronic systems should also be suitable for use in the field of high-frequency technology and they should take up little space. In order to keep the price of the whole system low, it should be possible to build up such chips, or modules including such chips, by means of conventional, economy-priced manufacturing methods.

One of the essential demands is, in particular, that pre-processed chips, which can be acquired as finished components, should be usable for the greatest possible number of applications so as to be e.g. independent of a single chip manufacturer, or so as to avoid the necessity of developing one's own

chips, which would lead to higher prices in many cases, and so as to be able to concentrate exclusively on the interconnection of the individual chip components when a new system is being developed. Investigations have shown that e.g. in the case of simple silicon circuit chips up to 90 % of the added value of the future product lie in the sphere of assembly and connection technologies, but not in the manufacture of the wafer from which the individual circuit chips can be produced by dicing.

It follows that pre-processed wafers must be used for obtaining the individual circuit chips by dicing.

US patent No. 4,722,130 describes a method of producing semiconductor chips by dicing a semiconductor wafer. For this purpose, the front of the wafer has formed therein a lattice-shaped trench, whereupon an adhesive nylon foil, which is adherent on one side, is applied to the wafer front having the trench formed therein. Subsequently, the back of the support is ground so as to thin the wafer down to a defined thickness, the thickness of the thinned wafer being chosen such that the individual circuit chips, which have already been defined by the trenches, are interconnected by comparatively thin connection bridges. For separating the individual circuit chips, which are connected by connection bridges, the adhesive nylon foil is stripped off from one side of the wafer; this has effect that the connection bridges between the circuit chips break due to the pulling effect occurring when the adhesive foil is being stripped off. When the adhesive foil has been stripped off, the diced chips are still attached to an elastic support foil on the opposite side of the chip, which has been attached prior to stripping off the adhesive nylon foil. The elastic adhesive foil is then stretched transversally, whereby the spaces between the circuit chips are widened; this is easily possible, since the connection

bridges have already been broken. The individual circuit chips can then be removed and inserted or used where they are needed. Circuit chips produced in this way have a thickness of approx. 160  $\mu\text{m}$ ; the starting material used was a standard GaAs wafer which had a thickness of 630  $\mu\text{m}$  before it was thinned by grinding.

This method is disadvantageous insofar as it cannot be used for producing very thin and, consequently, also very sensitive chips. The mechanical thinning and the mechanical dicing of the chips by breaking the connection bridges entails the danger that the individual chips may be mechanically damaged or may have rough or even torn edges. In the case of chips having a thickness of 160  $\mu\text{m}$ , such problems are not yet very grave. If the chips to be produced are, however, chips having a thickness of less than 50  $\mu\text{m}$ , and, in particular, less than 20  $\mu\text{m}$ , such tears may cause high production losses due to the mechanical processing of the back and the mechanical breaking of the connection bridges, since, due to the very small thickness, it may easily happen that active regions of the chips are impaired or even destroyed.

WO 99/25019 refers to a method of thinning semiconductor wafers. In a first step, a plurality of grooves is defined in the front of a semiconductor wafer. The grooves separate each integrated circuit such that it defines a separate chip. The grooves extend only partially into the front. When the grooves have been produced, a polyimide layer is applied so as to planarize the wafer provided with the grooves, the polyimide layer being used as a stress compensation layer for the subsequent thinning operation executed by means of grinding. This polyimide layer has applied thereto an adhesive layer by means of spraying or spinning. The wafer is then placed on a surface of a substrate in such a way

that the adhesive layer faces said surface. In order to fix the wafer to the substrate, a predetermined pressure and a predetermined temperature are used so as to cure the adhesive layer. Following this, the wafer is thinned from the back by means of grinding. The thinned wafer is then placed on a needle block and immersed in a solvent so as to dissolve the adhesive layer; making use of a vacuum device, the individual chips are then removed from the needle block and placed in chip carriers.

US-pat. 5,071,792 refers to a method of forming ultrathin integrated circuit chips. In a first step, grooves are produced in the front of the wafer. These grooves are then filled with a hard material acting as a grinding stop. This material is then planarized and a wax is applied thereto, which provides a temporary adhesion between a passivation coating and the planar surface of an intermediate support. Following this, the back of the wafer is ground so as to dice the chips. The comparatively hard material in the grooves acts here as a grinding stop. After the grinding process, the grinding stop material is removed from the grooves. In order to obtain the individual chips, the wax film is finally melted.

#### Summary of the Invention

It is the object of the present invention to provide a reasonably-priced but still reliable method of dicing a wafer for obtaining very thin circuit chips.

~~This object is achieved by a method according to claim 1.~~ In accordance with the present invention, this object is achieved by a method of dicing a wafer which comprises a plurality of circuit structures, said method comprising the steps of: defining a

trench between at least two circuit structures on one face of the wafer; forming the trench down to a defined depth by means of dry etching; fixing to said one face of the wafer a re-detachable intermediate support composed of a fixed intermediate support substrate and an adhesive medium which is applied to said intermediate support substrate and which can specifically be modified in terms of its adhesive strength and which can specifically be modified in terms of its adhesive strength, said adhesive medium (16b) being an adhesive foil which is adherent on both sides, the side of the adhesive foil which is secured to said one face of the wafer having the variable adhesive strength, and said adhesive strength being adapted to be reduced by heating or by applying ultra violet radiation; thinning the wafer by dry-etching, which is secured to the intermediate support, from the opposite face so as to obtain individual circuit chips which are held by the intermediate support; and removing the individual circuit chips from the intermediate support by heating said intermediate support or by applying ultra violet radiation to the adhesive foil so as to reduce the adhesive strength of said adhesive foil to such an extent that the circuit chips can be detached from the intermediate support.

The present invention is based on the finding that, for obtaining very thin circuit chips, mechanical effects must be eliminated as far as possible when the wafer is being diced. The danger that individual circuit chips may be damaged due to mechanical effects can be reduced markedly in this way. When very thin circuit chips are produced, it must be taken into account that the active region of a circuit chip may extend as deep as a few micrometers into the semiconductor material. When thin circuit chips having a thickness in the order of 20  $\mu\text{m}$  are considered, only less than 20  $\mu\text{m}$  will remain as a "support substrate" for the active region of the circuit chip. The present invention

therefore departs from the concept of mechanical dicing, which is accomplished e.g. by scribing, sawing or breaking of thin connections defined by trenches, as has been explained hereinbefore, and executes dicing by means of dry etching from the back.

According to the present invention, a wafer comprising a plurality of circuit structures is diced in such a way that a trench is first defined between at least two circuit structures. Subsequently, the trench is deepened down to a defined depth. Following this, a re-detachable intermediate support is fixed to the wafer face having the trench formed therein, whereupon the wafer is subjected to dry-etching from the opposite face until the trenches are exposed. In this way, a dicing process is achieved in the case of which the circuit chips have not been subjected to mechanical stresses.

When, in accordance with a specially preferred embodiment, also the trench is formed by dry-etching instead of being formed mechanically, the individual circuit chips will not be subjected to any mechanical stress at all during the whole wafer dicing process. This has the effect that also very thin circuit chips can be produced, without any marked increase in the reject rate.

According to a preferred embodiment, the wafer is pre-thinned by means of wet-chemical etching or grinding before the back is subjected to dry-etching, the pre-thinning with the aid of mechanical means being executed only to such an extent that it is almost impossible that the material which will finally form the circuit chips has already been impaired mechanically.

The component used as an intermediate support is preferably an adhesive foil which is adherent on both sides and one side of which adheres to a wafer substrate, whereas the other side

thereof is connected to the wafer to be diced and has a variable adhesive strength so that, after the dry-etching step, the adhesive strength of this side of the adhesive foil can be reduced to such an extent that the diced circuit chips can easily be detached for further processing, said reduction of the adhesive strength being caused by heating or by exposure to UV radiation.

Even if the trench is implemented by means of careful mechanical processing methods, it will already be possible to produce a plurality of circuit chips with a comparatively low reject rate due to the dry-etching from the back for the purpose of dicing the wafer. Such circuit chips can have a thickness which is less than 50  $\mu\text{m}$  and which especially amounts to about 20  $\mu\text{m}$  and can even be reduced down to 5  $\mu\text{m}$ .

If, however, in accordance with the preferred course of action, also the trench is produced by dry-etching, i.e. without subjecting the material to excessive stress, a certain number of further advantages will be achieved insofar as the wafer areas which will finally define the thin circuit chips are not subjected to any mechanical stresses at all.

Due to the fact that the trench need not be particularly deep, since the chips are very thin, the formation of a trench in a process making use of a mask for etching is, in general, carried out in a comparatively short period of time so that, in comparison with sawing of a wafer, which may last several hours especially in the case of small chips and wafers having a diameter of 20 to 30 cm, a substantial increase in the throughput can be achieved. In addition, a substantially larger number of chips can - again in comparison with sawing - be accommodated on a wafer, especially in the case of small chips, since trenches produced by sawing normally have a thickness of approx. 100  $\mu\text{m}$ ,



whereas only 10  $\mu\text{m}$  will suffice for dry-etched trenches down to the aimed-at depth, which will correspond approximately to the thickness of the circuit chips. In particular in the case of small chips, the number of chips per wafer can be increased by up to 10 to 15%.

Due to the fact that at least the back of the chips and, preferably, also the lateral edges thereof are subjected to an etch treatment, the chips are mechanically undamaged; this will be particularly important when the chips have to be bent, as will e.g. the case if the chips have to be incorporated in electronic labels.

Finally, arbitrary chip shapes can be produced especially by dry-etching the trench, i.e. the chip shapes that can be produced are not limited to rectangular shapes, as in the case of sawing; this can be of decisive importance especially in connection with power semiconductors, since chip corners, which would otherwise generate very high electric fields, can be eliminated. Finally, also the position of the chips can unequivocally be identified from the back, a circumstance which will be of great advantage e.g. for die bonding and for recognizing chips of good quality and those of poor quality.

#### Brief Description of the Drawings

In the following, preferred embodiments of the present invention will be explained in detail making reference to the drawings enclosed, in which:

Fig. 1 shows a top view of a wafer which comprises a plurality of circuit chips and in which a trench is defined;

Fig. 2 shows a cross-sectional view of the wafer of Fig. 1 having the trench formed therein;

Fig. 3 shows a view of the wafer of Fig. 2 which is secured to an intermediate support;

Fig. 4 shows a view of the wafer of Fig. 3 after thinning of the wafer by means of a dry-etching process; and

Fig. 5 shows the individual circuit chips after their removal from the intermediate support.

#### Detailed Description of Preferred Embodiments

Fig. 1 shows a top view of a detail of a wafer 10 comprising a plurality of fully processed individual circuit structures 12a, 12b. The wafer 10 has already defined thereon a trench 14. In cases in which the trench 14 is produced mechanically, the trench can be defined e.g. by inputting the coordinates for a sawing or scribing means. In cases in which the trench 14 is produced by making use of a dry-etching process, the trench is formed by applying a resist mask with side-wall protection by polymer deposition. Alternatively, the etch mask defining the trench 14 can also be implemented as an  $\text{SiO}_2$  mask. Summarizing, it can be stated that all the methods of forming an etch mask can be used for defining the trench 14.

Fig. 2 shows a cross-sectional view along the line A-A of Fig. 1 through the wafer 10 in a state in which the trench 14 has been formed down to a certain depth d. The predetermined thickness is chosen such that it is at least equal to the target thickness of

the circuit chip to be produced so that the circuit chips can be diced later on without being mechanically acted upon.

If e.g. the process with polymer deposition is used,  $\text{SF}_6$  can be used as an etching gas and  $\text{CHF}_3$  and  $\text{C}_2\text{F}_6$  can be used as polymer protection. More details with regard to this method are disclosed in DE 4241045.

If a process with an  $\text{SiO}_2$  mask is used, a mixture of  $\text{HBr}$ ,  $\text{Cl}_2$ ,  $\text{O}_2$  and  $\text{He}$  can be used as an etching gas. In addition, all the other known dry-etching processes can be used. Dry-etching in general has the substantial advantage that, in contrast to a mechanical implementation of the trench, the edges of the circuit chip are not subjected to mechanical stress and are therefore stable.

Fig. 3 shows the circuit chip 10, which is provided with the trench 14, after it has been secured to an intermediate support which can be composed of a substrate wafer 16a and an adhesive medium 16b. The medium used as an adhesive medium 16b is preferably an adhesive foil which is adherent on both sides, one side of this adhesive foil being provided with a special coating which loses its adhesive strength when it has been heated to a temperature of e.g. 90 to 140°. The other side does not have a varying adhesive strength. The support foil is attached in such a way that the side with the non-varying adhesive strength is connected to the wafer support 16a, whereas the side with the varying adhesive strength is connected to the semiconductor wafer 10, as can be seen in Fig. 3. An essential property of the intermediate support 16a, 16b is that the adhesive connection with the wafer 10 can be released. In addition, a full-area, cavity-free connection will be of advantage.

Alternative materials for the adhesive medium 16b are thermoplastic materials or adhesive foils whose adhesive strength can be varied not by means of heat but by means of UV light. If UV-sensitive foils are used, the support substrate 16a must be transparent. In this case, a glass wafer can be used as a support substrate.

When the wafer 10 has been glued onto the intermediate support 16a, 16b, the wafer is thinned from the back, as shown in Fig. 4. If the initial wafer 10 is already comparatively thin, it will presumably suffice to use only a dry-etching process so as to separate the individual circuit chips from one another, i.e. so as to remove the back at least up to the trench. If the wafer in question is, however, a thick wafer, e.g. a wafer having a thickness of 700  $\mu\text{m}$ , which is a typical value for commercially available wafers, a faster method, such as mechanical grinding, wet etching or the like, is preferably used prior to the final dry-etching step for dicing the circuit chips. A method which proved to be advantageous is the so-called spin-etching in the case of which the wafer lies on a rotating disk while the etching medium flows onto the disk from above and is spun off therefrom.

When the wafer has been pre-thinned to a predetermined thickness, the last step of dicing is left to the dry-etching process. The etching gases preferably used for executing this step are the etching gas mixture  $\text{Cl}_2$  and  $\text{CF}_4$ , or  $\text{SF}_6$  as a single etching gas. It should here be noted that a chemical treatment with chlorine and fluorine is generally well suited for etching silicon. The etching gas  $\text{NF}_3$  is very efficient as well, but, at present, it is still comparatively expensive; hence, it is one of the less preferred etching gases at the present time.

As can be seen in Fig. 4, individual circuit chips 18, 20, 22 and 24 have now been created, which are no longer connected to one another but which are only held by the adhesive medium 16b. In cases in which an adhesive foil is used which is adherent on both sides and which has a variable adhesive strength on one side thereof, the individual circuit chips 18, 20, 22, 24 can now easily be removed by varying the adhesive strength so that they will then exist completely independently of one another, as can be seen in Fig. 5, whereupon they are picked up by an assembly machine or a similar device so as to be accommodated at their final location.

It should here be pointed out that this method is suitable not only for silicon wafers but also for GaAs wafers, which are particularly sensitive to mechanical stress due to their brittleness, as well as for other III-V semiconductors. It goes without saying that for semiconductor materials other than silicon etching gases other than the above-mentioned ones are also used.

The diced thin circuit chips 18, 20, 22, 24 can be used in electronic components and systems requiring an extremely small volume demand, e.g. in mobile telecommunications systems or medical monitoring and assistance systems, such as hearing aids, cardiac pacemakers, monitoring and diagnostic units worn on the body, etc..

Other fields of use are electronic components which are optimized for electric signal transmission, such as high-frequency components.

Finally, the thin circuit chips diced according to the present invention can be combined so as to obtain circuit modules which comprise individual components consisting of different basic ma-

materials or in which chips originating from different manufacturing technologies are joined. Ultrathin circuit chips can be used especially in systems consisting of memory chips, logic chips, sensor components, chip-card chips, power components or high-frequency transmission chips (transponders).

Due to their very small thickness, thin circuit chips produced according to the present invention contribute to the overall volume of the component only as a thin film. A complete chip system consisting e.g. of a normal chip and an ultrathin chip is, in the final analysis, not much larger than a standard integrated circuit.

Due to the small thickness of the diced circuit chips, it is now also possible to use surface treatment techniques for contacting and wiring individual chips in a multi-chip module making use of conventional techniques which require planar or almost planar surfaces.

Finally, the method according to the present invention can be used for dicing not only specially produced or pretreated circuit wafers but all wafers which can be obtained from arbitrary manufacturers as fully processed wafers.

### Claims

1. A method of dicing a wafer ~~(10)~~ which comprises a plurality of circuit structures ~~(12a, 12b)~~, said method comprising the steps of:

defining a trench ~~(14)~~ between at least two circuit structures ~~(12a, 12b)~~ on one face of the wafer ~~(10)~~;

forming the trench ~~(14)~~ down to a defined depth ~~(d)~~ by means of dry etching;

fixing to said one face of the wafer ~~(10)~~ a re-detachable intermediate support ~~(16a, 16b)~~ composed of a fixed intermediate support substrate and an adhesive medium which is applied to said intermediate support substrate and which can specifically be modified in terms of its adhesive strength and which can specifically be modified in terms of its adhesive strength, said adhesive medium (16b) being an adhesive foil which is adherent on both sides, the side of the adhesive foil which is secured to said one face of the wafer having the variable adhesive strength, and said adhesive strength being adapted to be reduced by heating or by applying ultra violet radiation;

~~dry-etching~~ thinning the wafer by dry-etching, which is secured to the intermediate support ~~(16a, 16b)~~, from the opposite face so as to obtain individual circuit chips (18, 20, 22, 24) which are held by the intermediate support ~~(16a, 16b)~~; and

removing the individual circuit chips (18, 20, 22, 24) from

the intermediate support ~~(16a, 16b)~~ ~~by reducing the adhesive strength of the adhesive medium~~ by heating said intermediate support or by applying ultra violet radiation to the adhesive foil so as to reduce the adhesive strength of said adhesive foil to such an extent that the circuit chips can be detached from the intermediate support.

~~2. A method according to claim 1, wherein the step of forming the trench (14) comprises dry etching the face of the wafer on which the trench is defined.~~

3.2. A method according to claim 1 ~~or 2~~, wherein the dry-etching step of the other face of the wafer ~~(10)~~ is executed until the circuit chips have a thickness which is smaller than 50  $\mu\text{m}$  and which is preferably 20  $\mu\text{m}$ .

4.3. A method according to claim 1 ~~or 2~~,

wherein the forming of the trench is carried out such that a predetermined thickness is reached, which corresponds to a target chip thickness; and

wherein the step of dry-etching the other face of the wafer is executed until the trench has substantially been reached.

5.4. A method according to ~~one of the preceding claims~~ claim 1,

wherein, prior to the step of dry etching the other face of the wafer ~~(10)~~, a pre-thinning step is executed in such a way that the circuit chips are still interconnected across the trench ~~(14)~~ and that the thickness of this connection has a specific value.



6-5. A method according to claim 54, wherein the pre-thinning step comprises grinding, wet-chemical etching or a combination thereof.

~~7. A method according to one of the preceding claims, wherein the step of fixing to an intermediate support (16a, 16b) comprises the use of an adhesive medium (16b) having a variable adhesive strength.~~

~~8. A method according to claim 7, wherein the adhesive medium (16b) is an adhesive foil which is adherent on both sides, the side of the adhesive foil which is fixed to said one face being the side having the variable adhesive strength.~~

~~9. A method according to claim 7 or 8, wherein the adhesive medium (16b) is of such a nature that the adhesive strength is reduced by heating; and~~

~~wherein the step of removing comprises the following step:~~

~~heating the intermediate support (16a, 16b) until the circuit chips can be detached from the intermediate support.~~

~~10. A method according to claim 7 or 8, wherein the adhesive medium is of such a nature that the adhesive strength is reduced when the adhesive medium is exposed to UV light;~~

~~wherein the intermediate support comprises a glass wafer (16a); and~~

~~wherein the step of removing comprises the following step:~~

~~transmitting UV light through the glass wafer (16a) onto the ad-~~

~~hesive medium (16b) until the circuit chips (18, 20, 22, 24) can be detached from the intermediate support.~~

11.6. A method according to ~~one of the claims 2 to 9~~claim 1, wherein in the trench-defining step a trench having at least one round portion is defined.

12.7. A method according to ~~one of the preceding claims~~claim 1, wherein the wafer consists of Si, GaAs or some other III-V semiconductor.

13.8. A method according to ~~one of the claims 2 to 12~~claim 1, wherein the defining step comprises the application of an SiO<sub>2</sub> mask or of a resist mask with side-wall protection by polymer deposition.

## Method of Subdividing a Wafer

### Abstract

In a method of dicing a wafer—(10), which comprises a plurality of individual circuit structures—(12a, 12b), a trench (14)—is first defined between at least two circuit structures (12a, 12b) on one face of the wafer. Subsequently, the trench is deepened down to a defined depth. Following this, one face of the wafer has fixed thereto a re-detachable intermediate support composed of a fixed intermediate support substrate and an adhesive medium which is applied to said intermediate support substrate and which can specifically be modified in terms of its adhesive strength, whereupon the wafer is dry-etched from the opposite face so that circuit chips are obtained which are connected to one another only via the intermediate support. Subsequently, the circuit chips are removed from the intermediate support. This method substantially reduces mechanical impairments that may occur during dicing of the circuit chips; on the one hand, this permits the production of circuit chips with a thickness of less than 50  $\mu\text{m}$  and, on the other hand, it leads to mechanically substantially undamaged circuit chips.

10/019138  
531 Rec'd PCT/PTC 19 DEC 2001

National Phase of PCT/EP00/05772 in U.S.A.  
Title: Method of Subdividing a Wafer  
Applicants: FEIL, Michael et al.

---

Translation of Amendments under Art. 34 PCT  
as attached to the IPER

---

Claims

1. A method of dicing a wafer (10) which comprises a plurality of circuit structures (12a, 12b), said method comprising the steps of:

defining a trench (14) between at least two circuit structures (12a, 12b) on one face of the wafer (10);

forming the trench (14) down to a defined depth (d);

fixing to said one face of the wafer (10) a re-detachable intermediate support (16a, 16b) composed of a fixed intermediate support substrate and an adhesive medium which is applied to said intermediate support substrate and which can specifically be modified in terms of its adhesive strength;

dry-etching the wafer, which is secured to the intermediate support (16a, 16b), from the opposite face so as to obtain circuit chips (18, 20, 22, 24) which are held by the intermediate support (16a, 16b); and

removing the circuit chips (18, 20, 22, 24) from the intermediate support (16a, 16b) by reducing the adhesive strength of the adhesive medium.

2. A method according to claim 1, wherein the step of forming the trench (14) comprises dry-etching the face of the wafer on which the trench is defined.
3. A method according to claim 1 or 2, wherein the dry-etching step of the other face of the wafer (10) is executed until

the circuit chips have a thickness which is smaller than 50  $\mu\text{m}$  and which is preferably 20  $\mu\text{m}$ .

4. A method according to claim 1 or 2,

wherein the forming of the trench is carried out such that a predetermined thickness is reached, which corresponds to a target chip thickness; and

wherein the step of dry-etching the other face of the wafer is executed until the trench has substantially been reached.

5. A method according to one of the preceding claims,

wherein, prior to the step of dry etching the other face of the wafer (10), a pre-thinning step is executed in such a way that the circuit chips are still interconnected across the trench (14) and that the thickness of this connection has a specific value.

6. A method according to claim 5, wherein the pre-thinning step comprises grinding, wet-chemical etching or a combination thereof.

7. A method according to one of the preceding claims, wherein the step of fixing to an intermediate support (16a, 16b) comprises the use of an adhesive medium (16b) having a variable adhesive strength.

8. A method according to claim 7, wherein the adhesive medium (16b) is an adhesive foil which is adherent on both sides, the side of the adhesive foil which is fixed to said one

face being the side having the variable adhesive strength.

9. A method according to claim 7 or 8, wherein the adhesive medium (16b) is of such a nature that the adhesive strength is reduced by heating; and

wherein the step of removing comprises the following step:

heating the intermediate support (16a, 16b) until the circuit chips can be detached from the intermediate support.

10. A method according to claim 7 or 8, wherein the adhesive medium is of such a nature that the adhesive strength is reduced when the adhesive medium is exposed to UV light;

wherein the intermediate support comprises a glass wafer (16a); and

wherein the step of removing comprises the following step:

transmitting UV light through the glass wafer (16a) onto the adhesive medium (16b) until the circuit chips (18, 20, 22, 24) can be detached from the intermediate support.

11. A method according to one of the claims 2 to 9, wherein in the trench-defining step a trench having at least one round portion is defined.

12. A method according to one of the preceding claims, wherein the wafer consists of Si, GaAs or some other III-V semiconductor.

13. A method according to one of the claims 2 to 12, wherein the defining step comprises the application of an  $\text{SiO}_2$  mask or of a resist mask with side-wall protection by polymer deposition.



(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
11. Januar 2001 (11.01.2001)

PCT

(10) Internationale Veröffentlichungsnummer  
WO 01/03180 A1

(51) Internationale Patentklassifikation<sup>7</sup>: H01L 21/782,  
21/68

(21) Internationales Aktenzeichen: PCT/EP00/05772

(22) Internationales Anmeldedatum:  
21. Juni 2000 (21.06.2000)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:  
99112540.2 1. Juli 1999 (01.07.1999) EP  
199 62 763.0 23. Dezember 1999 (23.12.1999) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Aus-  
nahme von US): FRAUNHOFER-GESELLSCHAFT  
ZUR FÖRDERUNG DER ANGEWANDTEN  
FORSCHUNG E. V. [DE/DE]; Leonrodstrasse 54,  
D-80636 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): FEIL, Michael  
[DE/DE]; Tessiner Strasse 51, D-81475 München  
(DE). LANDEBERGER, Christof [DE/DE]; Os-  
wald-Bieber-Weg 7, D-81241 München (DE). KLUMPP,  
Armin [DE/DE]; Ringseisstrasse 12/4, D-80337 München  
(DE). HACKER, Erwin [DE/DE]; Meister-Jörg-Strasse  
11, D-87600 Kaufbeuren (DE).

(74) Anwälte: SCHOPPE, Fritz usw.; Schoppe, Zimmermann  
& Stöckeler, Postfach 71 08 67, D-81458 München (DE).

(81) Bestimmungsstaat (national): US.

(84) Bestimmungsstaaten (regional): europäisches Patent (AT,  
BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC,  
NL, PT, SE).

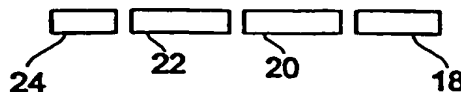
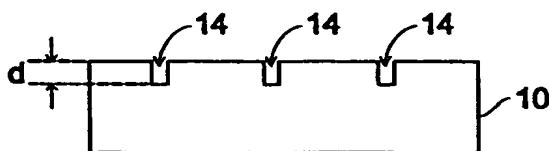
Veröffentlicht:

— Mit internationalem Recherchenbericht.

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD OF SUBDIVIDING A WAFER

(54) Bezeichnung: VERFAHREN ZUM VEREINZELN EINES WAFERS



(57) Abstract: The invention relates to a method of subdividing a wafer (10) which comprises a plurality of individual circuit structures (12a, 12b). A trench (14) is defined between at least two circuit structures (12a, 12b) on one face of the wafer. Said trench is then deepened down to a defined depth. A releasable intermediate support is fixed on the one face of the wafer. Said releasable intermediate support consists of a fixed intermediate support substrate and an adhesive medium that is applied on said intermediate support substrate and that can be specifically modified in terms of its adhesive strength. The wafer is then dry-etched from the opposite face so that circuit chips are obtained that are linked with one another only via the intermediate support. Said circuit chips are subsequently removed from the intermediate support. The inventive method substantially reduces mechanical damages that might occur when the circuit chips are detached, thereby allowing the production of circuit chips with a thickness of less than 50 µm that are mechanically substantially undamaged.

(57) Zusammenfassung: Bei einem Verfahren zum Vereinzeln eines Wafers (10), der eine Mehrzahl von einzelnen Schaltungsstrukturen (12a, 12b) aufweist, wird zunächst ein Graben (14) zwischen zumindest zwei Schaltungsstrukturen (12a, 12b) auf einer Seite des Wafers definiert. Anschliessend wird der Graben bis zu einer bestimmten Tiefe ausgeführt. Hierauf wird ein wieder lösbarer Zwischenträger, der aus einem festen Zwischenträgersubstrat und einem auf diesem aufgetragenen, in seiner Haftkraft gezielt veränderbaren Haftmedium besteht, an der einen Seite des Wafers befestigt, um dann den Wafer von der anderen Seite aus trocken zuätzen, so dass Schaltungschips erhalten werden, die nur noch über den Zwischenträger miteinander verbunden sind. Anschliessend werden die Schaltungschips von dem Zwischenträger entfernt. Durch dieses Verfahren werden mechanische Beeinträchtigungen beim Vereinzeln der Schaltungschips wesentlich reduziert, was zum einen die Herstellung von unter 50 µm dicken Schaltungschips ermöglicht, und was zum anderen zu mechanisch im wesentlichen intakten Schaltungschips führt.

WO 01/03180 A1

## PATENT COOPERATION TREATY

PCT

## NOTIFICATION OF ELECTION

(PCT Rule 61.2)

From the INTERNATIONAL BUREAU

To:

Commissioner  
 US Department of Commerce  
 United States Patent and Trademark  
 Office, PCT  
 2011 South Clark Place Room  
 CP2/5C24  
 Arlington, VA 22202  
 ETATS-UNIS D'AMERIQUE  
 in its capacity as elected Office

Date of mailing (day/month/year) 23 March 2001 (23.03.01)	
International application No. PCT/EP00/05772	Applicant's or agent's file reference FH000601PCT
International filing date (day/month/year) 21 June 2000 (21.06.00)	Priority date (day/month/year) 01 July 1999 (01.07.99)
Applicant FEIL, Michael et al	

1. The designated Office is hereby notified of its election made:

☒ in the demand filed with the International Preliminary Examining Authority on:  
 26 January 2001 (26.01.01)

☐ in a notice effecting later election filed with the International Bureau on:  
 \_\_\_\_\_

2. The election ☒ was  
☐ was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No.: (41-22) 740.14.35	Authorized officer Olivia TEFY Telephone No.: (41-22) 338.83.38
---	---

PATENT COOPERATION TREATY

PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

2

Applicant's or agent's file reference FH000601PCT	<b>FOR FURTHER ACTION</b> See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/EP00/05772	International filing date (day/month/year) 21 June 2000 (21.06.00)	Priority date (day/month/year) 01 July 1999 (01.07.99)
International Patent Classification (IPC) or national classification and IPC H01L 21/782,		
Applicant FRAUNHOFER-GESELLSCHAFT ZUR FÖRDERUNG DER ANGEWANDTEN FORSCHUNG E. V.		

<p>1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.</p> <p>2. This REPORT consists of a total of <u>4</u> sheets, including this cover sheet.</p> <p><input checked="" type="checkbox"/> This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).</p> <p>These annexes consist of a total of <u>6</u> sheets.</p>	
<p>3. This report contains indications relating to the following items:</p> <p>I <input checked="" type="checkbox"/> Basis of the report</p> <p>II <input type="checkbox"/> Priority</p> <p>III <input type="checkbox"/> Non-establishment of opinion with regard to novelty, inventive step and industrial applicability</p> <p>IV <input type="checkbox"/> Lack of unity of invention</p> <p>V <input checked="" type="checkbox"/> Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability: citations and explanations supporting such statement</p> <p>VI <input type="checkbox"/> Certain documents cited</p> <p>VII <input type="checkbox"/> Certain defects in the international application</p> <p>VIII <input checked="" type="checkbox"/> Certain observations on the international application</p>	

Date of submission of the demand 26 January 2001 (26.01.01)	Date of completion of this report 08 October 2001 (08.10.2001)
Name and mailing address of the IPEA/EP	Authorized officer
Facsimile No.	Telephone No.

## I. Basis of the report

1. This report has been drawn on the basis of (Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to the report since they do not contain amendments.):

- ☒ the international application as originally filed.
- ☒ the description, pages 1.2.4 - 10, as originally filed,  
pages \_\_\_\_\_, filed with the demand,  
pages 3.3a - 3b, filed with the letter of 25 July 2001 (25.07.2001),  
pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_.
- ☒ the claims, Nos. \_\_\_\_\_, as originally filed,  
Nos. \_\_\_\_\_, as amended under Article 19,  
Nos. \_\_\_\_\_, filed with the demand,  
Nos. 1-8, filed with the letter of 25 July 2001 (25.07.2001),  
Nos. \_\_\_\_\_, filed with the letter of \_\_\_\_\_.
- ☒ the drawings, sheets/fig 1/1, as originally filed,  
sheets/fig \_\_\_\_\_, filed with the demand,  
sheets/fig \_\_\_\_\_, filed with the letter of \_\_\_\_\_,  
sheets/fig \_\_\_\_\_, filed with the letter of \_\_\_\_\_.

2. The amendments have resulted in the cancellation of:

- ☐ the description, pages \_\_\_\_\_
- ☐ the claims, Nos. \_\_\_\_\_
- ☐ the drawings, sheets/fig \_\_\_\_\_

3. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).

4. Additional observations, if necessary:

# INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/EP 00/05772

## V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

### 1. Statement

Novelty (N)	Claims	1 - 8	YES
	Claims		NO
Inventive step (IS)	Claims	1 - 8	YES
	Claims		NO
Industrial applicability (IA)	Claims	1 - 8	YES
	Claims		NO

### 2. Citations and explanations

Reference is made to the following documents:

D1: WO-A-99/25019  
D2: US-A-5 071 792  
D3: US-A-5 910 687  
D4: US-A-5 476 566.

1. Since none of the prior art citations disclose all the features of said claim, the subject matter of Claim 1 is novel (PCT Article 33(2)).
2. Since, for the person skilled in the art, the combination of the features of Claim 1 is non-obvious, the subject matter of Claim 1 is considered to involve an inventive step (PCT Article 33(3)).
3. The subject matter of Claim 1 is industrially applicable (PCT Article 33(4)).

The dependent Claims 2-8 also meet the requirements of PCT Article 33(2), (3) and (4).

# INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.  
PCT/EP 00/05772

## VIII. Certain observations on the international application

The following observations on the clarity of the claims, description, and drawings or on the question whether the claims are fully supported by the description, are made:

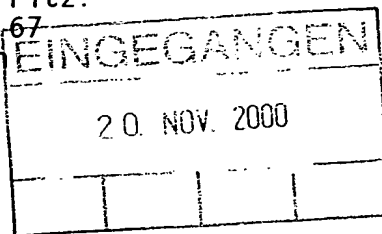
The subject matter of Claim 1 is inconsistent with the description in relation to various aspects of the invention - see, for example, page 8, paragraph 2. In consequence the application fails to satisfy the requirements of PCT Article 6.

# VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS

Absender: INTERNATIONALE RECHERCHENBEHÖRDE

## PCT

An  
SCHOPPE, ZIMMERMANN & STÖCKELER  
z.H. SCHOPPE, Fritz.  
Postfach 71 08 67  
D-81458 München  
GERMANY



MITTEILUNG ÜBER DIE ÜBERMITTLUNG DES  
INTERNATIONALEN RECHERCHENBERICHTS  
ODER DER ERKLÄRUNG

(Regel 44.1 PCT)

Absendedatum  
(Tag/Monat/Jahr)

21/11/2000

Aktenzeichen des Anmelders oder Anwalts

FH000601PCT✓

WEITERES VORGEHEN

siehe Punkte 1 und 4 unten

Internationales Aktenzeichen

PCT/EP 00/05772✓

Internationales Anmeldedatum

(Tag/Monat/Jahr)

21/06/2000✓

Anmelder

FRAUNHOFER-GESELLSCHAFT ZUR FÖRDERUNG DER...

1. ☒ Dem Anmelder wird mitgeteilt, daß der internationale Recherchenbericht erstellt wurde und ihm hiermit übermittelt wird.

**Einreichung von Änderungen und einer Erklärung nach Artikel 19:**

Der Anmelder kann auf eigenen Wunsch die Ansprüche der internationalen Anmeldung ändern (siehe Regel 46):

**Bis wann sind Änderungen einzureichen?**

Die Frist zur Einreichung solcher Änderungen beträgt üblicherweise zwei Monate ab der Übermittlung des internationalen Recherchenberichts; weitere Einzelheiten sind den Anmerkungen auf dem Beiblatt zu entnehmen.

**Wo sind Änderungen einzureichen?**

Unmittelbar beim Internationalen Büro der WIPO, 34, CHEMIN des Colombettes, CH-1211 Genf 20,  
Telefaxnr.: (41-22) 740.14.35

Nähere Hinweise sind den Anmerkungen auf dem Beiblatt zu entnehmen.

2. ☐ Dem Anmelder wird mitgeteilt, daß kein internationaler Recherchenbericht erstellt wird und daß ihm hiermit die Erklärung nach Artikel 17(2)a) übermittelt wird.

3. ☐ Hinsichtlich des Widerspruchs gegen die Entrichtung einer zusätzlichen Gebühr (zusätzlicher Gebühren) nach Regel 40.2 wird dem Anmelder mitgeteilt, daß

☐ der Widerspruch und die Entscheidung hierüber zusammen mit seinem Antrag auf Übermittlung des Wortlauts sowohl des Widerspruchs als auch der Entscheidung hierüber an die Bestimmungssämter dem Internationalen Büro übermittelt worden sind.

☐ noch keine Entscheidung über den Widerspruch vorliegt; der Anmelder wird benachrichtigt, sobald eine Entscheidung getroffen wurde.


4. **Weiteres Vorgehen:** Der Anmelder wird auf folgendes aufmerksam gemacht:

Kurz nach Ablauf von **18 Monaten** seit dem Prioritätsdatum wird die internationale Anmeldung vom Internationalen Büro veröffentlicht. Will der Anmelder die Veröffentlichung verhindern oder auf einen späteren Zeitpunkt verschieben, so muß gemäß Regel 90<sup>bis</sup> bzw. 90<sup>ter</sup> vor Abschluß der technischen Vorbereitungen für die internationale Veröffentlichung eine Erklärung über die Zurücknahme der internationalen Anmeldung oder des Prioritätsanspruchs beim Internationalen Büro eingehen.

Innerhalb von **19 Monaten** seit dem Prioritätsdatum ist ein Antrag auf internationale vorläufige Prüfung einzureichen, wenn der Anmelder den Eintritt in die nationale Phase bis zu 30 Monaten seit dem Prioritätsdatum (in manchen Ämtern sogar noch länger) verschieben möchte.

Innerhalb von **20 Monaten** seit dem Prioritätsdatum muß der Anmelder die für den Eintritt in die nationale Phase vorgeschriebenen Handlungen vor allen Bestimmungssämtern vornehmen, die nicht innerhalb von 19 Monaten seit dem Prioritätsdatum in der Anmeldung oder einer nachträglichen Auswahlerklärung ausgewählt wurden oder nicht ausgewählt werden konnten, da für sie Kapitel II des Vertrages nicht verbindlich ist.

Name und Postanschrift der Internationalen Recherchenbehörde

 Europäisches Patentamt, P.B. 5818 Patentlaan 2  
NL-2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Marjory Sastropawiro

## ANMERKUNGEN ZU FORMBLATT PCT/ISA/220

Diese Anmerkungen sollen grundlegende Hinweise zur Einreichung von Änderungen gemäß Artikel 19 geben. Diesen Anmerkungen liegen die Erfordernisse des Vertrags über die internationale Zusammenarbeit auf dem Gebiet des Patentwesens (PCT), der Ausführungsordnung und der Verwaltungsrichtlinien zu diesem Vertrag zugrunde. Bei Abweichungen zwischen diesen Anmerkungen und obengenannten Texten sind letztere maßgebend. Nähere Einzelheiten sind dem PCT-Leitfaden für Anmelder, einer Veröffentlichung der WIPO, zu entnehmen.

Die in diesen Anmerkungen verwendeten Begriffe "Artikel", "Regel" und "Abschnitt" beziehen sich jeweils auf die Bestimmungen des PCT-Vertrags, der PCT-Ausführungsordnung bzw. der PCT-Verwaltungsrichtlinien.

### HINWEISE ZU ÄNDERUNGEN GEMÄSS ARTIKEL 19

Nach Erhalt des internationalen Recherchenberichts hat der Anmelder die Möglichkeit, einmal die Ansprüche der internationalen Anmeldung zu ändern. Es ist jedoch zu betonen, daß, da alle Teile der internationalen Anmeldung (Ansprüche, Beschreibung und Zeichnungen) während des internationalen vorläufigen Prüfungsverfahrens geändert werden können, normalerweise keine Notwendigkeit besteht, Änderungen der Ansprüche nach Artikel 19 einzureichen, außer wenn der Anmelder z.B. zum Zwecke eines vorläufigen Schutzes die Veröffentlichung dieser Ansprüche wünscht oder ein anderer Grund für eine Änderung der Ansprüche vor ihrer internationalen Veröffentlichung vorliegt. Weiterhin ist zu beachten, daß ein vorläufiger Schutz nur in einigen Staaten erhältlich ist.

#### Welche Teile der internationalen Anmeldung können geändert werden?

Im Rahmen von Artikel 19 können nur die Ansprüche geändert werden.

In der internationalen Phase können die Ansprüche auch nach Artikel 34 vor der mit der internationalen vorläufigen Prüfung beauftragten Behörde geändert (oder nochmals geändert) werden. Die Beschreibung und die Zeichnungen können nur nach Artikel 34 vor der mit der internationalen vorläufigen Prüfung beauftragten Behörde geändert werden.

Beim Eintritt in die nationale Phase können alle Teile der internationalen Anmeldung nach Artikel 28 oder gegebenenfalls Artikel 41 geändert werden.

#### Bis wann sind Änderungen einzureichen?

Innerhalb von zwei Monaten ab der Übermittlung des internationalen Recherchenberichts oder innerhalb von sechzehn Monaten ab dem Prioritätsdatum, je nachdem, welche Frist später abläuft. Die Änderungen gelten jedoch als rechtzeitig eingereicht, wenn sie dem Internationalen Büro nach Ablauf der maßgebenden Frist, aber noch vor Abschluß der technischen Vorbereitungen für die internationale Veröffentlichung (Regel 46.1) zugehen.

#### Wo sind die Änderungen nicht einzureichen?

Die Änderungen können nur beim Internationalen Büro, nicht aber beim Anmeldeamt oder der Internationalen Recherchenbehörde eingereicht werden (Regel 46.2).

Falls ein Antrag auf internationale vorläufige Prüfung eingereicht wurde/wird, siehe unten.

#### In welcher Form können Änderungen erfolgen?

Eine Änderung kann erfolgen durch Streichung eines oder mehrerer ganzer Ansprüche, durch Hinzufügung eines oder mehrerer neuer Ansprüche oder durch Änderung des Wortlauts eines oder mehrerer Ansprüche in der eingereichten Fassung.

Für jedes Anspruchsblatt, das sich aufgrund einer oder mehrerer Änderungen von dem ursprünglich eingereichten Blatt unterscheidet, ist ein Ersatzblatt einzureichen.

Alle Ansprüche, die auf einem Ersatzblatt erscheinen, sind mit arabischen Ziffern zu numerieren. Wird ein Anspruch gestrichen, so brauchen die anderen Ansprüche nicht neu numeriert zu werden. Im Fall einer Neunummerierung sind die Ansprüche fortlaufend zu numerieren (Verwaltungsrichtlinien, Abschnitt 205 b)).

Die Änderungen sind in der Sprache abzufassen, in der die internationale Anmeldung veröffentlicht wird.

#### Welche Unterlagen sind den Änderungen beizufügen?

##### Begleitschreiben (Abschnitt 205 b)):

Die Änderungen sind mit einem Begleitschreiben einzureichen.

Das Begleitschreiben wird nicht zusammen mit der internationalen Anmeldung und den geänderten Ansprüchen veröffentlicht. Es ist nicht zu verwechseln mit der "Erklärung nach Artikel 19(1)" (siehe unten, "Erklärung nach Artikel 19 (1)").

Das Begleitschreiben ist nach Wahl des Anmelders in englischer oder französischer Sprache abzufassen. Bei englischsprachigen internationalen Anmeldungen ist das Begleitschreiben aber ebenfalls in englischer, bei französischsprachigen internationalen Anmeldungen in französischer Sprache abzufassen.



## ANMERKUNGEN ZU FORMBLATT PCT/ISA/220 (Fortsetzung)

Im Begleitschreiben sind die Unterschiede zwischen den Ansprüchen in der eingereichten Fassung und den geänderten Ansprüchen anzugeben. So ist insbesondere zu jedem Anspruch in der internationalen Anmeldung anzugeben (gleichlautende Angaben zu verschiedenen Ansprüchen können zusammengefaßt werden), ob

- i) der Anspruch unverändert ist;
- ii) der Anspruch gestrichen worden ist;
- iii) der Anspruch neu ist;
- iv) der Anspruch einen oder mehrere Ansprüche in der eingereichten Fassung ersetzt;
- v) der Anspruch auf die Teilung eines Anspruchs in der eingereichten Fassung zurückzuführen ist.

Im folgenden sind Beispiele angegeben, wie Änderungen im Begleitschreiben zu erläutern sind:

1. [Wenn anstelle von ursprünglich 48 Ansprüchen nach der Änderung einiger Ansprüche 51 Ansprüche existieren]:  
"Die Ansprüche 1 bis 29, 31, 32, 34, 35, 37 bis 48 werden durch geänderte Ansprüche gleicher Numerierung ersetzt; Ansprüche 30, 33 und 36 unverändert; neue Ansprüche 49 bis 51 hinzugefügt."
2. [Wenn anstelle von ursprünglich 15 Ansprüchen nach der Änderung aller Ansprüche 11 Ansprüche existieren]:  
"Geänderte Ansprüche 1 bis 11 treten an die Stelle der Ansprüche 1 bis 15."
3. [Wenn ursprünglich 14 Ansprüche existierten und die Änderungen darin bestehen, daß einige Ansprüche gestrichen werden und neue Ansprüche hinzugefügt werden]:  
"Ansprüche 1 bis 6 und 14 unverändert; Ansprüche 7 bis 13 gestrichen; neue Ansprüche 15, 16 und 17 hinzugefügt. "Oder" Ansprüche 7 bis 13 gestrichen; neue Ansprüche 15, 16 und 17 hinzugefügt; alle übrigen Ansprüche unverändert."
4. [Wenn verschiedene Arten von Änderungen durchgeführt werden]:  
"Ansprüche 1-10 unverändert; Ansprüche 11 bis 13, 18 und 19 gestrichen; Ansprüche 14, 15 und 16 durch geänderten Anspruch 14 ersetzt; Anspruch 17 in geänderte Ansprüche 15, 16 und 17 unterteilt; neue Ansprüche 20 und 21 hinzugefügt."

### "Erklärung nach Artikel 19(1)" (Regel 46.4)

Den Änderungen kann eine Erklärung beigelegt werden, mit der die Änderungen erläutert und ihre Auswirkungen auf die Beschreibung und die Zeichnungen dargelegt werden (die nicht nach Artikel 19 (1) geändert werden können).

Die Erklärung wird zusammen mit der internationalen Anmeldung und den geänderten Ansprüchen veröffentlicht.

Sie ist in der Sprache abzufassen, in der die internationale Anmeldung veröffentlicht wird.

Sie muß kurz gehalten sein und darf, wenn in englischer Sprache abgefaßt oder ins Englische übersetzt, nicht mehr als 500 Wörter umfassen

Die Erklärung ist nicht zu verwechseln mit dem Begleitschreiben, das auf die Unterschiede zwischen den Ansprüchen in der eingereichten Fassung und den geänderten Ansprüchen hinweist, und ersetzt letzteres nicht. Sie ist auf einem gesonderten Blatt einzureichen und in der Überschrift als solche zu kennzeichnen, vorzugsweise mit den Worten "Erklärung nach Artikel 19 (1)".

Die Erklärung darf keine herabsetzenden Äußerungen über den internationalen Recherchenbericht oder die Bedeutung von in dem Bericht angeführten Veröffentlichungen enthalten. Sie darf auf im internationalen Recherchenbericht angeführte Veröffentlichungen, die sich auf einen bestimmten Anspruch beziehen, nur im Zusammenhang mit einer Änderung dieses Anspruchs Bezug nehmen.

### Auswirkungen eines bereits gestellten Antrags auf internationale vorläufige Prüfung

Ist zum Zeitpunkt der Einreichung von Änderungen nach Artikel 19 bereits ein Antrag auf internationale vorläufige Prüfung gestellt worden, so sollte der Anmelder in seinem Interesse gleichzeitig mit der Einreichung der Änderungen beim Internationalen Büro auch eine Kopie der Änderungen bei der mit der internationalen vorläufigen Prüfung beauftragten Behörde einreichen (siehe Regel 62.2 a), erster Satz).

### Auswirkungen von Änderungen hinsichtlich der Übersetzung der internationalen Anmeldung beim Eintritt in die nationale Phase

Der Anmelder wird darauf hingewiesen, daß bei Eintritt in die nationale Phase möglicherweise anstatt oder zusätzlich zu der Übersetzung der Ansprüche in der eingereichten Fassung eine Übersetzung der nach Artikel 19 geänderten Ansprüche an die bestimmten/ausgewählten Ämter zu übermitteln ist.

Nähere Einzelheiten über die Erfordernisse jedes bestimmten/ausgewählten Amtes sind Band II des PCT-Leitfadens für Anmelder zu entnehmen.

VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT  
AUF DEM GEBIET DES PATENTWESENS

PCT

INTERNATIONALER RECHERCHENBERICHT

(Artikel 18 sowie Regeln 43 und 44 PCT)

Aktenzeichen des Anmelders oder Anwalts <b>FH000601PCT</b>	<b>WEITERES VORGEHEN</b> siehe Mitteilung über die Übermittlung des internationalen Recherchenberichts (Formblatt PCT/ISA/220) sowie, soweit zutreffend, nachstehender Punkt 5	
Internationales Aktenzeichen <b>PCT/EP 00/ 05772</b>	Internationales Anmeldedatum (Tag/Monat/Jahr) <b>21/06/2000</b>	(Frühestes) Prioritätsdatum (Tag/Monat/Jahr) <b>01/07/1999</b>
Anmelder  <b>FRAUNHOFER-GESELLSCHAFT ZUR FÖRDERUNG DER...</b>		

Dieser internationale Recherchenbericht wurde von der Internationalen Recherchenbehörde erstellt und wird dem Anmelder gemäß Artikel 18 übermittelt. Eine Kopie wird dem Internationalen Büro übermittelt.

Dieser internationale Recherchenbericht umfaßt insgesamt 3 Blätter.

☒ Darüber hinaus liegt ihm jeweils eine Kopie der in diesem Bericht genannten Unterlagen zum Stand der Technik bei.

1. Grundlage des Berichts

- a. Hinsichtlich der **Sprache** ist die internationale Recherche auf der Grundlage der internationalen Anmeldung in der Sprache durchgeführt worden, in der sie eingereicht wurde, sofern unter diesem Punkt nichts anderes angegeben ist.

☐ Die internationale Recherche ist auf der Grundlage einer bei der Behörde eingereichten Übersetzung der internationalen Anmeldung (Regel 23.1 b)) durchgeführt worden.

- b. Hinsichtlich der in der internationalen Anmeldung offenbaren **Nucleotid- und/oder Aminosäuresequenz** ist die internationale Recherche auf der Grundlage des Sequenzprotokolls durchgeführt worden, das

☐ in der internationalen Anmeldung in Schriftlicher Form enthalten ist.

☐ zusammen mit der internationalen Anmeldung in computerlesbarer Form eingereicht worden ist.

☐ bei der Behörde nachträglich in schriftlicher Form eingereicht worden ist.

☐ bei der Behörde nachträglich in computerlesbarer Form eingereicht worden ist.

☐ Die Erklärung, daß das nachträglich eingereichte schriftliche Sequenzprotokoll nicht über den Offenbarungsgehalt der internationalen Anmeldung im Anmeldezeitpunkt hinausgeht, wurde vorgelegt.

☐ Die Erklärung, daß die in computerlesbarer Form erfaßten Informationen dem schriftlichen Sequenzprotokoll entsprechen, wurde vorgelegt.

2. ☐ Bestimmte Ansprüche haben sich als nicht recherchierbar erwiesen (siehe Feld I).

3. ☐ Mangelnde Einheitlichkeit der Erfindung (siehe Feld II).

4. Hinsichtlich der **Bezeichnung der Erfindung**

☒ wird der vom Anmelder eingereichte Wortlaut genehmigt.

☐ wurde der Wortlaut von der Behörde wie folgt festgesetzt:

5. Hinsichtlich der **Zusammenfassung**

☒ wird der vom Anmelder eingereichte Wortlaut genehmigt.

☐ wurde der Wortlaut nach Regel 38.2b) in der in Feld III angegebenen Fassung von der Behörde festgesetzt. Der Anmelder kann der Behörde innerhalb eines Monats nach dem Datum der Absendung dieses internationalen Recherchenberichts eine Stellungnahme vorlegen.

6. Folgende Abbildung der **Zeichnungen** ist mit der Zusammenfassung zu veröffentlichen: Abb. Nr. 2-5

☐ wie vom Anmelder vorgeschlagen

☐ weil der Anmelder selbst keine Abbildung vorgeschlagen hat.

☒ weil diese Abbildung die Erfindung besser kennzeichnet.

☐ keine der Abb.

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES  
IPK 7 H01L21/782 H01L21/68

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

**B. RECHERCHIERTE GEBIETE**

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

PAJ, INSPEC

**C. ALS WESENTLICH ANGESEHENE UNTERLAGEN**

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	US 5 071 792 A (VAN VONNO ET AL.) 10. Dezember 1991 (1991-12-10) Spalte 3, Zeile 56 -Spalte 4, Zeile 51; Abbildungen 3-6	1,3-7,9, 12
Y	US 5 910 687 A (CHEN ET AL.) 8. Juni 1999 (1999-06-08) Spalte 9, Zeile 50 -Spalte 10, Zeile 7	1,3-7,9, 12
A	PATENT ABSTRACTS OF JAPAN vol. 018, no. 080 (E-1505), 9. Februar 1994 (1994-02-09) & JP 05 291397 A (TOSHIBA CORP), 5. November 1993 (1993-11-05) Zusammenfassung	8-10
	--- -/--	

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

\* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

13. November 2000

Absendedatum des internationalen Recherchenberichts

21/11/2000

Name und Postanschrift der Internationalen Recherchenbehörde  
Europäisches Patentamt, P.B. 5818 Patentaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Gori, P

C.(Fortsetzung) ALS WESENTLICH EHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	WO 99 25019 A (IRVINE SENSORS) 20. Mai 1999 (1999-05-20) Seite 13, Zeile 11 - Zeile 12; Abbildungen ---	1-13
A	US 5 476 566 A (CAVASIN) 19. Dezember 1995 (1995-12-19) Anspruch 1 -----	8-10

# INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP 00/05772

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 5071792	A	10-12-1991	EP	0537306 A	21-04-1993
			WO	9209098 A	29-05-1992
			US	5185292 A	09-02-1993
US 5910687	A	08-06-1999	AU	6251298 A	18-08-1998
			GB	2336034 A	06-10-1999
			WO	9833215 A	30-07-1998
JP 05291397	A	05-11-1993	KEINE		
WO 9925019	A	20-05-1999	EP	1038315 A	27-09-2000
US 5476566	A	19-12-1995	KEINE		

# VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS

## PCT

### INTERNATIONALER RECHERCHENBERICHT

(Artikel 18 sowie Regeln 43 und 44 PCT)

Aktenzeichen des Anmelders oder Anwalts <b>FH000601PCT</b>	<b>WEITERES VORGEHEN</b> siehe Mitteilung über die Übermittlung des internationalen Recherchenberichts (Formblatt PCT/ISA/220) sowie, soweit zutreffend, nachstehender Punkt 5	
Internationales Aktenzeichen <b>PCT/EP 00/ 05772</b>	Internationales Anmeldedatum (Tag/Monat/Jahr) <b>21/06/2000</b>	(Frühestes) Prioritätsdatum (Tag/Monat/Jahr) <b>01/07/1999</b>
Anmelder  <b>FRAUNHOFER-GESELLSCHAFT ZUR FÖRDERUNG DER...</b>		

Dieser internationale Recherchenbericht wurde von der Internationalen Recherchenbehörde erstellt und wird dem Anmelder gemäß Artikel 18 übermittelt. Eine Kopie wird dem Internationalen Büro übermittelt.

Dieser internationale Recherchenbericht umfaßt insgesamt 3 Blätter.

☒ Darüber hinaus liegt ihm jeweils eine Kopie der in diesem Bericht genannten Unterlagen zum Stand der Technik bei.

#### 1. Grundlage des Berichts

- a. Hinsichtlich der **Sprache** ist die internationale Recherche auf der Grundlage der internationalen Anmeldung in der Sprache durchgeführt worden, in der sie eingereicht wurde, sofern unter diesem Punkt nichts anderes angegeben ist.
- ☐ Die internationale Recherche ist auf der Grundlage einer bei der Behörde eingereichten Übersetzung der internationalen Anmeldung (Regel 23.1 b)) durchgeführt worden.
- b. Hinsichtlich der in der internationalen Anmeldung offenbarten **Nucleotid- und/oder Aminosäuresequenz** ist die internationale Recherche auf der Grundlage des Sequenzprotokolls durchgeführt worden, das
- ☐ in der internationalen Anmeldung in Schriftlicher Form enthalten ist.
- ☐ zusammen mit der internationalen Anmeldung in computerlesbarer Form eingereicht worden ist.
- ☐ bei der Behörde nachträglich in schriftlicher Form eingereicht worden ist.
- ☐ bei der Behörde nachträglich in computerlesbarer Form eingereicht worden ist.
- ☐ Die Erklärung, daß das nachträglich eingereichte schriftliche Sequenzprotokoll nicht über den Offenbarungsgehalt der internationalen Anmeldung im Anmeldezeitpunkt hinausgeht, wurde vorgelegt.
- ☐ Die Erklärung, daß die in computerlesbarer Form erfaßten Informationen dem schriftlichen Sequenzprotokoll entsprechen, wurde vorgelegt.

2. ☐ Bestimmte Ansprüche haben sich als nicht recherchierbar erwiesen (siehe Feld I).

3. ☐ Mangelnde Einheitlichkeit der Erfindung (siehe Feld II).

#### 4. Hinsichtlich der Bezeichnung der Erfindung

- ☒ wird der vom Anmelder eingereichte Wortlaut genehmigt.
- ☐ wurde der Wortlaut von der Behörde wie folgt festgesetzt:

#### 5. Hinsichtlich der Zusammenfassung

- ☒ wird der vom Anmelder eingereichte Wortlaut genehmigt.
- ☐ wurde der Wortlaut nach Regel 38.2b) in der in Feld III angegebenen Fassung von der Behörde festgesetzt. Der Anmelder kann der Behörde innerhalb eines Monats nach dem Datum der Absendung dieses internationalen Recherchenberichts eine Stellungnahme vorlegen.

6. Folgende Abbildung der Zeichnungen ist mit der Zusammenfassung zu veröffentlichen: Abb. Nr. 2-5

- ☐ wie vom Anmelder vorgeschlagen ☐ keine der Abb.
- ☐ weil der Anmelder selbst keine Abbildung vorgeschlagen hat.
- ☒ weil diese Abbildung die Erfindung besser kennzeichnet.

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES  
 IPK 7 H01L21/782 H01L21/68

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

#### B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

PAJ, INSPEC

#### C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	US 5 071 792 A (VAN VONNO ET AL.) 10. Dezember 1991 (1991-12-10) Spalte 3, Zeile 56 - Spalte 4, Zeile 51; Abbildungen 3-6	1,3-7,9, 12
Y	US 5 910 687 A (CHEN ET AL.) 8. Juni 1999 (1999-06-08) Spalte 9, Zeile 50 - Spalte 10, Zeile 7	1,3-7,9, 12
A	PATENT ABSTRACTS OF JAPAN vol. 018, no. 080 (E-1505), 9. Februar 1994 (1994-02-09) & JP 05 291397 A (TOSHIBA CORP), 5. November 1993 (1993-11-05) Zusammenfassung	8-10



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

\* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung befragt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

13. November 2000

Absendedatum des internationalen Recherchenberichts

21/11/2000

Name und Postanschrift der Internationalen Recherchenbehörde  
 Europäisches Patentamt, P.B. 5818 Patentlaan 2  
 NL - 2280 HV Rijswijk  
 Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
 Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Gori, P

## C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	WO 99 25019 A (IRVINE SENSORS) 20. Mai 1999 (1999-05-20) Seite 13, Zeile 11 - Zeile 12; Abbildungen ----	1-13
A	US 5 476 566 A (CAVASIN) 19. Dezember 1995 (1995-12-19) Anspruch 1 -----	8-10



# INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP 00/05772

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5071792	A	10-12-1991	EP 0537306 A WO 9209098 A US 5185292 A	21-04-1993 29-05-1992 09-02-1993
US 5910687	A	08-06-1999	AU 6251298 A GB 2336034 A WO 9833215 A	18-08-1998 06-10-1999 30-07-1998
JP 05291397	A	05-11-1993	NONE	
WO 9925019	A	20-05-1999	EP 1038315 A	27-09-2000
US 5476566	A	19-12-1995	NONE	

PATENTANWÄLTE

European Patent Attorneys  
European Trademark Attorneys

Patentanwälte · Postfach 710867 · 81458 München

**Fraunhofer-Gesellschaft**  
zur Förderung der  
angewandten Forschung e. V.  
Leonrodstraße 54  
80636 München  
DE

Fritz Schoppe, Dipl.-Ing.  
Tankred Zimmermann, Dipl.-Ing.  
Ferdinand Stöckeler, Dipl.-Ing.

Telefon/Telephone 089/790445-0  
Telefax/Facsimile 089/790 22 15  
Telefax/Facsimile 089/74996977  
e-mail 101345.3117@CompuServe.com

PCT/EP00105772  
as originally filed

---

**Verfahren zum Vereinzeln eines Wafers**

---

## Verfahren zum Vereinzeln eines Wafers

### Beschreibung

Die vorliegende Erfindung bezieht sich auf die Herstellung von integrierten Schaltungen und insbesondere auf ein Verfahren zum Vereinzeln eines Wafers, der eine Mehrzahl von einzelnen Schaltungsstrukturen aufweist, um sehr dünne Schaltungschips zu erhalten.

In letzter Zeit entsteht immer mehr der Bedarf nach dünnen Chips einerseits und nach hoher Flexibilität andererseits, um elektronische Schaltungschips in einer Vielzahl von Anwendungen einzusetzen. Die Forderung nach dünnen Schaltungschips ergibt sich einerseits aus immer komplexeren elektronischen Systemen, die aus einzelnen fertig prozessierten und von verschiedenen Herstellern verfügbaren Chips zusammengesetzt sein sollen, und die gleichzeitig auch für Hochfrequenz-Anwendungen tauglich sein sollen und zudem wenig Platz einnehmen sollen. Um den Preis des gesamten Systems gering zu halten, sollen solche Chips bzw. Module mit solchen Chips mittels üblicher preisgünstiger Herstellungsverfahren aufgebaut werden können.

Eine wesentliche Anforderung besteht insbesondere darin, für möglichst viele Anwendungen vorprozessierte Chips, die fertig erworben werden können, einsetzen zu können, um z. B. von einem einzelnen Chiphersteller unabhängig zu sein, oder aber um keine eigenen Chips entwickeln zu müssen, was in vielen Fällen den Preis erhöhen würde, sondern um sich lediglich auf die Verschaltung der einzelnen Chipkomponenten konzentrieren zu können, wenn ein neues System entwickelt wird. So haben Untersuchungen gezeigt, daß beispielsweise bei einfachen Silizium-Schaltungschips bis zu 90% der Wertschöpfung des späteren Produkts im Bereich der Aufbau- und Verbindungstechnik liegen, aber nicht bei der Herstellung des Wafers, aus dem durch Vereinzeln die einzelnen Schal-

tungschips erhalten werden können.

Somit muß auf vorprozessierte Wafer zurückgegriffen werden, um durch Vereinzeln die einzelnen Schaltungschips zu erhalten.

Das U.S.-Patent Nr. 4,722,130 beschreibt ein Verfahren zum Herstellen von Halbleiterchips durch Vereinzeln eines Halbleiterwafers. Hierzu wird ein gitterförmiger Graben in die Vorderseite des Wafers eingebracht, woraufhin eine einseitige Nylon-Klebefolie auf die Vorderseite des Wafers, in der der Graben gebildet ist, aufgebracht wird. Anschließend wird die Rückseite des Trägers abgeschliffen, um den Wafer bis zu einer bestimmten Dicke abzdünnen, wobei die Dicke des abgedünnten Wafers so gewählt ist, daß die einzelnen, durch die Gräben bereits festgelegten Schaltungschips über relativ dünne Verbindungsstege verbunden sind. Um die einzelnen durch Verbindungsstege verbundene Schaltungschips voneinander zu trennen, wird die Nylon-Klebefolie von einer Seite des Wafers aus abgezogen, was bewirkt, daß die Verbindungsstege zwischen den Schaltungschips aufgrund der Zugwirkung beim Abziehen der Klebefolie springen. Wenn die Klebefolie abgezogen ist, hängen die vereinzelt Chips noch auf einer elastischen Trägerfolie auf der gegenüberliegenden Seite des Chips, die vor dem Abziehen der Nylon-Klebefolie angebracht worden ist. Hierauf wird die elastische Klebefolie transversal auseinandergezogen, was bewirkt, daß die Zwischenräume zwischen den Schaltungschips aufgeweitet werden, was ohne weiteres möglich ist, da die Verbindungsstege bereits gesprungen sind. Dann können die einzelnen Schaltungschips abgenommen werden und an Ort und Stelle eingesetzt werden bzw. weiterverwendet werden. Derart produzierte Schaltungschips haben eine Dicke von etwa 160  $\mu\text{m}$ , wobei von einem Standard-GaAs-Wafer ausgegangen wurde, der eine Dicke von 630  $\mu\text{m}$  hatte, bevor er durch Schleifen abgedünnst wurde.

Nachteilig an diesem Verfahren ist, daß keine sehr dünnen und damit auch sehr empfindlichen Chips erzeugt werden kön-

nen. Durch das mechanische Dünnen und durch das mechanische Vereinzeln der Chips durch Brechen der Verbindungsstege besteht die Gefahr, daß die einzelnen Chips mechanisch beschädigt werden bzw. rauhe bzw. sogar eingerissene Kanten haben. Solche Probleme sind bei 160  $\mu\text{m}$  dicken Chips noch nicht sehr einschneidend. Sollen jedoch Chips mit einer Dicke kleiner als 50  $\mu\text{m}$  und insbesondere mit einer Dicke von 20  $\mu\text{m}$  hergestellt werden, können solche Risse aufgrund der mechanischen Rückseitenbearbeitung und des mechanischen Brechens der Erfindungsstege zu hohen Produktionsausfällen führen, da aufgrund der sehr geringen Dicke ohne weiteres aktive Bereiche der Chips beeinträchtigt bzw. sogar zerstört werden können.

Die Aufgabe der vorliegenden Erfindung besteht darin, einerseits ein preisgünstiges und andererseits ein dennoch zuverlässiges Verfahren zum Vereinzeln eines Wafers zu schaffen, um sehr dünnen Schaltungschips zu erhalten.

Diese Aufgabe wird durch ein Verfahren nach Patentanspruch 1 gelöst.

Der vorliegenden Erfindung liegt die Erkenntnis zugrunde, daß, um sehr dünne Schaltungschips zu erhalten, mechanische Effekte beim Vereinzeln des Wafers so weit als möglich eliminiert werden müssen. Damit kann die Gefahr der Schädigung der einzelnen Schaltungschips aufgrund mechanischer Effekte stark verringert werden. Bei der Herstellung von sehr dünnen Schaltungschips muß bedacht werden, daß der aktive Bereich eines Schaltungschips sich bereits einige Mikrometer in das Halbleitermaterial hinein erstrecken kann. Wenn an dünne Schaltungschips mit einer Dicke in der Größenordnung von 20  $\mu\text{m}$  gedacht wird, so verbleiben lediglich weniger als 20  $\mu\text{m}$  als "Trägersubstrat" für den aktiven Bereich des Schaltungschips. Erfindungsgemäß wird daher von dem Konzept des mechanischen Vereinzeln abgegangen, das beispielsweise durch Ritzen, Sägen oder Brechen von durch Gräben definierten dünnen Verbindungen, wie es im vorhergehenden ausgeführt worden

ist, erreicht wird, und es wird eine Vereinzelung mittels Trockenätzen von der Waferrückseite durchgeführt.

Erfindungsgemäß wird ein Wafer, der eine Mehrzahl von Schaltungsstrukturen aufweist, derart vereinzelt, daß zunächst ein Graben zwischen zumindest zwei Schaltungsstrukturen definiert wird. Anschließend wird der Graben bis zu einer bestimmten Tiefe ausgeführt. Hierauf wird ein wieder lösbarer Zwischenträger auf der Seite des Wafers befestigt, in der der Graben ausgeführt ist. Dann wird der Wafer von der anderen Seite aus einer Trockenätzung unterzogen, bis die Gräben freigelegt sind. Dadurch ist eine Vereinzelung erreicht, bei der keine mechanischen Belastungen auf die Schaltungschips ausgeübt worden ist.

Wenn, wie es besonders bevorzugt wird, auch der Graben nicht mechanisch sondern ebenfalls durch Trockenätzen gebildet wird, so wird bei der gesamten Vereinzelung des Wafers überhaupt keine mechanische Belastung auf die einzelnen Schaltungschips ausgeübt. Dies führt dazu, daß auch sehr dünne Schaltungschips erzeugt werden können, ohne daß der Ausschub besonders ansteigt.

Gemäß einem bevorzugten Ausführungsbeispiel wird der Wafer vor dem Trockenätzen der Rückseite beispielsweise mittels naßchemischem Ätzen oder Schleifen vorgedünnt, wobei das Vordünnen mittels mechanischer Mittel lediglich soweit ausgeführt wird, daß nahezu ausgeschlossen werden kann, daß bereits eine mechanische Beeinträchtigung des Materials aufgetreten ist, das schließlich die Schaltungschips bildet.

Als Zwischenträger wird vorzugsweise eine zweiseitige Haftfolie verwendet, deren eine Seite an einem Wafersubstrat klebt, und deren andere Seite mit dem zu vereinzelnenden Wafer verbunden ist und eine variable Haftkraft hat, so daß nach dem Trockenätzen lediglich beispielsweise durch Erwärmen oder durch Bestrahlen mit UV-Strahlung die Haftkraft dieser Seite der Klebefolie derart verringert werden kann, daß die

vereinzelten Schaltungschips ohne weiteres gelöst werden können, um weiterverarbeitet zu werden.

Selbst wenn der Graben durch schonende mechanische Verarbeitungsverfahren ausgeführt wird, kann bereits aufgrund des Trockenätzens von der Rückseite aus, um den Wafer zu vereinzeln, eine Mehrzahl von Schaltungschips mit relativ geringer Ausschußrate erzeugt werden. Solche Schaltungschips können eine Dicke haben, die kleiner als  $50\text{ }\mu\text{m}$  ist und insbesondere bei  $20\text{ }\mu\text{m}$  liegt und sogar auf bis zu  $5\text{ }\mu\text{m}$  reduziert werden kann.

Wenn jedoch, wie es bevorzugt wird, auch der Graben durch Trockenätzen, also sehr materialschonend, erzeugt wird, so ergeben sich noch einige weitere Vorteile, indem überhaupt keine mechanischen Belastungen auf die Bereiche des Wafers ausgeübt werden, die schließlich die dünnen Schaltungschips ergeben.

Generell ist das Ausführen des Gräbens unter Verwendung einer Maske für das Ätzen aufgrund der Tatsache, daß der Graben nicht besonders tief zu sein braucht, da die Chips sehr dünn sind, relativ schnell, so daß im Vergleich zum Sägen eines Wafers, das insbesondere bei kleinen Chips und Scheiben mit einem Durchmesser von 20 bis 30 cm bis zu mehrere Stunden dauern kann, eine wesentliche Durchsatzserhöhung erreichbar ist. Darüberhinaus passen ebenfalls im Vergleich zum Sägen insbesondere bei kleinen Chips wesentlich mehr Chips auf einen Wafer, da Sägegräben im allgemeinen eine Dicke von etwa  $100\text{ }\mu\text{m}$  haben, während für trockenengeätzte Gräben bis zu der angestrebten Tiefe, die in etwa der Dicke der Schaltungschips entsprechen wird, lediglich  $10\text{ }\mu\text{m}$  benötigt werden. Insbesondere bei kleinen Chips kann die Chipanzahl pro Wafer um bis zu 10 bis 15% gesteigert werden.

Die Chips sind aufgrund der Ätzbehandlung zumindest ihrer Rückseite und vorzugsweise auch ihrer Seitenkanten mechanisch integer, was besonders dann wichtig ist, wenn die

Chips gebogen werden müssen, wie es beispielsweise der Fall sein kann, wenn sie in elektronischen Etiketten eingesetzt werden müssen.

Schließlich sind insbesondere durch Trockenätzen des Grabens beliebige Chipformen möglich, also nicht nur rechteckige Formen, wie es beim Sägen der Fall ist, was besonders für Leistungshalbleiter entscheidend sein kann, da Chipecken eliminiert werden können, welche ansonsten sehr hohe elektrische Felder erzeugen. Schließlich kann auch die Lage der Chips von hinten eindeutig identifiziert werden, was z. B. beim Die-Bonden und beim Erkennen von guten und schlechten Chips von großem Vorteil sein wird.

Bevorzugte Ausführungsbeispiele der vorliegenden Erfindung werden nachfolgend bezugnehmend auf die beiliegenden Zeichnungen detailliert erläutert. Es zeigen:

Fig. 1 eine Draufsicht auf einen Wafer mit einer Mehrzahl von Schaltungschips, in dem ein Graben definiert ist;

Fig. 2 eine Querschnittsansicht des Wafers von Fig. 1, in dem der Graben ausgeführt ist;

Fig. 3 eine Ansicht des Wafers von Fig. 2, der an einem Zwischenträger befestigt ist;

Fig. 4 eine Ansicht des Wafers von Fig. 3 nach dem Dünnen des Wafers unter Verwendung eines Trockenätzverfahrens; und

Fig. 5 die einzelnen Schaltungschips, nachdem sie vom Zwischenträger entfernt worden sind.

Fig. 1 zeigt eine Draufsicht auf einen Ausschnitt eines Wafers 10, der eine Mehrzahl von fertig prozessierten einzelnen Schaltungsstrukturen 12a, 12b aufweist. Auf dem Wafer 10



ist bereits ein Graben 14 definiert. Das Definieren des Grabens kann beispielsweise im Falle des mechanischen Erzeugens des Grabens 14 durch Eingeben der Koordinaten für eine Säge- oder eine Ritzeinrichtung stattfinden. Im Falle des Erzeugens des Grabens 14 unter Verwendung eines Trockenätzverfahrens wird der Graben durch Aufbringen einer Lackmaske mit Seitenwandschutz durch Polymerabscheidung gebildet. Alternativ kann die Ätzmaske, die den Graben 14 definiert, auch als  $\text{SiO}_2$ -Maske ausgeführt sein. Zusammenfassend können sämtliche Verfahren zum Bilden einer Ätzmaske eingesetzt werden, um den Graben 14 zu definieren.

Fig. 2 zeigt eine Querschnittsdarstellung entlang der Linie A-A von Fig. 1 durch den Wafer 10, nachdem der Graben 14 bis zu einer bestimmten Tiefe d ausgeführt ist. Die vorbestimmte Dicke wird zumindest gleich der Zieldicke des herzustellenden Schaltungschips gewählt, so daß die Schaltungschips später ohne mechanische Einwirkungen vereinzelt werden können.

Wird beispielsweise der Prozeß mit Polymerabscheidung eingesetzt, so kann als Ätzgas  $\text{SF}_6$  und als Polymerschutz  $\text{CHF}_3$  und  $\text{C}_2\text{F}_6$  eingesetzt werden. Nähere Einzelheiten zu diesem Verfahren sind in der DE 4241045 offenbart.

Wird ein Prozeß mit einer  $\text{SiO}_2$ -Maske eingesetzt, so kann als Ätzgas ein Gemisch aus  $\text{HBr}$ ,  $\text{Cl}_2$ ,  $\text{O}_2$  und  $\text{He}$  eingesetzt werden. Darüberhinaus können sämtliche anderen bekannten Trockenätzverfahren eingesetzt werden. Das Trockenätzen allgemein hat den wesentlichen Vorteil, daß die Ränder der Schaltungschips im Gegensatz zu einer mechanischen Ausführung des Grabens nicht mechanisch beansprucht werden und somit stabil sind.

Fig. 3 zeigt den mit dem Graben 14 versehenen Schaltungschip 10, nachdem er an einem Zwischenträger befestigt ist, der sich aus einem Substratwafer 16a und aus einem Haftmedium 16b zusammensetzen kann. Als Haftmedium 16b wird vorzugsweise eine beidseitig haftende Klebefolie eingesetzt, deren

eine Seite eine spezielle Beschichtung hat, die nach Erwärmung auf beispielsweise 90 bis 140°C ihre Haftkraft verliert. Die andere Seite hat dabei keine variierende Haftkraft. Die Trägerfolie wird derart angebracht, daß die Seite mit der nicht-variierenden Haftkraft mit dem Waferträger 16a verbunden ist, während die Seite mit variierender Haftkraft mit dem Halbleiterwafer 10 verbunden wird, wie es in Fig. 3 gezeigt ist. Eine wesentliche Eigenschaft des Zwischenträgers 16a, 16b besteht darin, daß die Klebeverbindung mit dem Wafer 10 wieder gelöst werden kann. Ferner ist eine vollflächige lunkerfreie Verbindung von Vorteil.

Alternative Materialien für das Haftmedium 16b sind Thermoplastmaterialien oder Klebefolien, deren Haftkraft nicht durch Wärme, sondern durch UV-Licht variierbar ist. Falls UV-lichtempfindliche Folien eingesetzt werden, so muß das Trägersubstrat 16a transparent sein. In diesem Falle kann als Trägersubstrat ein Glaswafer zum Einsatz kommen.

Nach dem Aufkleben des Wafers 10 an dem Zwischenträger 16a, 16b wird der Wafer, wie es in Fig. 4 gezeigt ist, von der Rückseite her gedünnt. Falls der Ausgangswafer 10 bereits relativ dünn ist, so dürfte es ausreichend sein, daß lediglich ein Trockenätzverfahren eingesetzt wird, um die einzelnen Schaltungschips voneinander zu trennen, d. h. um die Rückseite mindestens bis zum Graben zu entfernen. Liegt jedoch ein dicker Wafer beispielsweise mit einer Dicke von 700 µm vor, was für käufliche Wafer ein typischer Wert ist, so wird es bevorzugt, vor dem abschließenden Trockenätzschritt zum Vereinzeln der Schaltungschips ein schnelleres Verfahren einzusetzen, wie z. B. mechanisches Schleifen, Naßätzen oder ähnliches. Ein Verfahren, das sich als vorteilhaft herausgestellt hat, ist das sogenannten Spin-Ätzen. Hier liegt der Wafer auf einem rotierenden Teller, während von oben das Ätzmedium auf die Scheibe fließt und von dort abgeschleudert wird.

Ist der Wafer dann auf eine vorbestimmte Dicke vorgedünnt,

so verbleibt der letzte Schritt des Vereinzelns dem Trockenätzverfahren. Hierzu wird es bevorzugt, das Ätzgasgemisch  $\text{Cl}_2$  und  $\text{CF}_4$  oder als alleiniges Ätzgas  $\text{SF}_6$  einzusetzen. Es sei angemerkt, daß generell zum Ätzen von Silizium eine Chlor- und Fluor-Chemie gut geeignet ist. Das Ätzgas  $\text{NF}_3$  ist ebenfalls sehr wirksam, hat jedoch derzeit noch einen relativ hohen Preis und wird daher derzeit weniger bevorzugt.

Wie es in Fig. 4 gezeigt ist, sind nun einzelne Schaltungschips 18, 20, 22 und 24 entstanden, welche nicht mehr miteinander in Verbindung stehen sondern lediglich durch das Haftmedium 16b gehalten werden. Im Falle einer Verwendung der zweiseitig klebende Folie mit einer Seite mit variabler Haftkraft können die einzelnen Schaltungschips 18, 20, 22, 24 nun ohne weiteres durch Verändern der Haftkraft entfernt werden, um dann, wie es in Fig. 5 gezeigt ist, völlig unabhängig voneinander vorzuliegen, um dann von einer Bestückungsmaschine oder einer ähnlichen Vorrichtung aufgenommen zu werden, um an ihrem letztendlichen Bestimmungsort untergebracht zu werden.

Es sei darauf hingewiesen, daß dieses Verfahren nicht nur für Siliziumwafer geeignet ist, sondern auch für GaAs-Wafer, welche aufgrund ihrer Sprödigkeit mechanisch besonders anfällig sind, sowie für andere III-V-Halbleiter. Selbstverständlich werden für andere Halbleitermaterialien als Silizium auch andere Ätzgase als die genannten eingesetzt.

Die vereinzelt dünnen Schaltungschips 18, 20, 22, 24 können in elektronischen Bauteilen und Systemen eingesetzt werden, welche einen extrem geringen Volumenbedarf erfordern, wie z. B. in mobilen Telekommunikationssystemen oder in medizinischen Überwachungs- und Hilfssystemen, wie Hörgeräten, Herzschrittmachern, am Körper getragenen Überwachungs- und Diagnosegeräten, usw.

Andere Einsatzmöglichkeiten sind elektronische Bauteile, welche für eine elektrische Signalübertragung optimiert

sind, wie z. B. Hochfrequenzbauelemente.

Schließlich können die erfindungsgemäß vereinzelt dünnen Schaltungschips zu Schaltungsmodulen kombiniert werden, welche Einzelkomponenten aus unterschiedlichen Grundmaterialien umfassen, oder bei denen Chips aus unterschiedlichen Fertigungstechnologien zusammengesetzt sind. Superdünne Schaltungschips können besonders bei Systemen aus Speicher-Chips, Logik-Chips, Sensorbauelementen, Chipkarten-Chips, Leistungsbaulementen oder Hochfrequenzübertragungschips (Transponder) zum Einsatz kommen.

Erfindungsgemäß erzeugte dünne Schaltungschips tragen aufgrund ihrer sehr geringen Dünne nur als dünner Film zum gesamten Bauelementevolumen bei. Ein komplettes Chipsystem, das beispielsweise aus einem normalen Chip und einem superdünnen Chip besteht, ist letztendlich nicht wesentlich größer als ein üblicher integrierter Schaltkreis.

Aufgrund der geringen Dicke der vereinzelt Schaltungschips können nun auch Oberflächenbearbeitungstechniken zur Kontaktierung und Verdrahtung einzelner Chips in einem Multi-Chip-Modul unter Verwendung üblicher Techniken eingesetzt werden, die plane bzw. nahezu plane Oberflächen erfordern.

Schließlich können mit dem erfindungsgemäßen Verfahren nicht nur speziell hergestellte bzw. vorbearbeitete Schaltungswafer vereinzelt werden, sondern sämtliche Wafer, welche fertigprozessiert von beliebigen Herstellern erworben werden können.

Patentansprüche

1. Verfahren zum Vereinzeln eines Wafers (10), der eine Mehrzahl von Schaltungsstrukturen (12a, 12b) aufweist, mit folgenden Schritten:

Definieren eines Grabens (14) zwischen zumindest zwei Schaltungsstrukturen (12a, 12b) auf einer Seite des Wafers (10);

Ausführen des Grabens (14) bis zu einer bestimmten Tiefe (d);

Befestigen eines wieder lösbaren Zwischenträgers (16a, 16b), der aus einem festen Zwischenträgersubstrat und einem auf diesem aufgebrachten, in seiner Haftkraft gezielt veränderbaren Haftmedium besteht, an der einen Seite des Wafers (10);

Trockenätzen des an dem Zwischenträger (16a, 16b) befestigten Wafer von der anderen Seite aus, um Schaltungschips (18, 20, 22, 24) zu erhalten, die durch den Zwischenträger (16a, 16b) gehalten werden; und

Entfernen der Schaltungschips (18, 20, 22, 24) von dem Zwischenträger (16a, 16b) durch Reduktion der Haftkraft des Haftmediums.

2. Verfahren nach Anspruch 1, bei dem der Schritt des Ausführens des Grabens (14) das Trockenätzen der Seite des Wafers, auf der der Graben definiert ist, aufweist.
3. Verfahren nach Anspruch 1 oder 2, bei dem der Schritt des Trockenätzens der anderen Seite des Wafers (10) so lange ausgeführt wird, bis die Schaltungschips eine Dicke haben, die kleiner als 50  $\mu\text{m}$  ist und vorzugsweise 20  $\mu\text{m}$  beträgt.

4. Verfahren nach Anspruch 1 oder 2,

bei dem das Ausführen des Grabens derart durchgeführt wird, daß eine vorbestimmte Tiefe erreicht ist, die gleich einer Ziel-Chipdicke ist; und

bei dem der Schritt des Trockenätzens der anderen Seite des Wafers so lange ausgeführt wird, bis der Graben im wesentlichen erreicht ist.

5. Verfahren nach einem der vorhergehenden Ansprüche,

bei dem vor dem Schritt des Trockenätzens der anderen Seite des Wafers (10) ein Schritt des Vordünnens ausgeführt wird, derart, daß die Schaltungschips noch über den Graben (14) hinweg miteinander verbunden sind und die Dicke dieser Verbindung einen bestimmten Wert hat.

6. Verfahren nach Anspruch 5, bei dem der Schritt des Vordünnens das Schleifen, das naßchemische Ätzen oder eine Kombination derselben aufweist.

7. Verfahren nach einem der vorhergehenden Ansprüche, bei dem der Schritt des Befestigens an einen Zwischenträger (16a, 16) die Verwendung eines Haftmediums (16b) mit variabler Haftkraft aufweist.

8. Verfahren nach Anspruch 7, bei dem das Haftmedium (16b) eine beidseitig haftende Klebefolie ist, wobei die Seite der Haftfolie, die an der einen Seite befestigt ist, die variable Haftkraft aufweist.

9. Verfahren nach Anspruch 7 oder 8, bei dem das Haftmedium (16b) derart beschaffen ist, daß die Haftkraft durch Erwärmen reduziert wird; und

bei dem der Schritt des Entfernehmens folgenden Schritt aufweist:

Erwärmen des Zwischenträgers (16a, 16b), bis die Schaltungs-chips von dem Zwischenträger gelöst werden können.

10. Verfahren nach Anspruch 7 oder 8, bei dem das Haftmedium derart beschaffen ist, daß die Haftkraft durch Bestrahlung mit UV-Licht reduziert wird;

bei dem der Zwischenträger einen Glaswafer (16a) aufweist; und

bei dem der Schritt des Entfernens folgenden Schritt aufweist:

Einstrahlen von UV-Licht durch den Glaswafer (16a) auf das Haftmedium (16b), bis die Schaltungs-chips (18, 20, 22, 24) von dem Zwischenträger gelöst werden können.

11. Verfahren nach einem der Ansprüche 2 bis 9, bei dem im Schritt des Definierens des Grabens ein Graben mit zumindest einem runden Abschnitt definiert wird.
12. Verfahren nach einem der vorhergehenden Ansprüche, bei dem der Wafer aus Si, GaAs oder einem anderen III-V-Halbleiter besteht.
13. Verfahren nach einem der Ansprüche 2 bis 12, bei dem der Schritt des Definierens das Aufbringen einer SiO<sub>2</sub>-Maske oder einer Lackmaske mit Seitenwandschutz durch Polymerabscheidung aufweist.

## Verfahren zum Vereinzeln eines Wafers

### Zusammenfassung

Bei einem Verfahren zum Vereinzeln eines Wafers (10), der eine Mehrzahl von einzelnen Schaltungsstrukturen (12a, 12b) aufweist, wird zunächst ein Graben (14) zwischen zumindest zwei Schaltungsstrukturen (12a, 12b) auf einer Seite des Wafers definiert. Anschließend wird der Graben bis zu einer bestimmten Tiefe ausgeführt. Hierauf wird ein wieder lösbarer Zwischenträger, der aus einem festen Zwischenträgersubstrat und einem auf diesem aufgebracht, in seiner Haftkraft gezielt veränderbaren Haftmedium besteht, an der einen Seite des Wafers befestigt, um dann den Wafer von der anderen Seite aus trocken zuätzen, so daß Schaltungschips erhalten werden, die nur noch über den Zwischenträger miteinander verbunden sind. Anschließend werden die Schaltungschips von dem Zwischenträger entfernt. Durch dieses Verfahren werden mechanische Beeinträchtigungen beim Vereinzeln der Schaltungschips wesentlich reduziert, was zum einen die Herstellung von unter 50  $\mu\text{m}$  dicken Schaltungschips ermöglicht, und was zum anderen zu mechanisch im wesentlichen integren Schaltungschips führt.



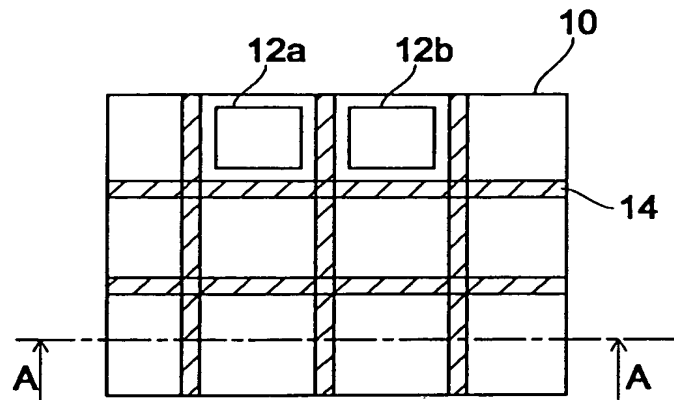


Fig. 1

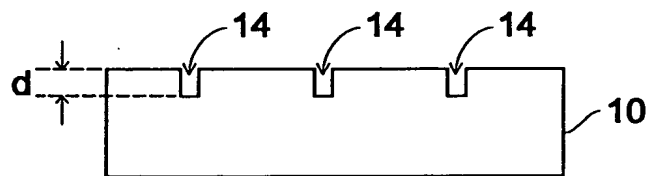


Fig. 2

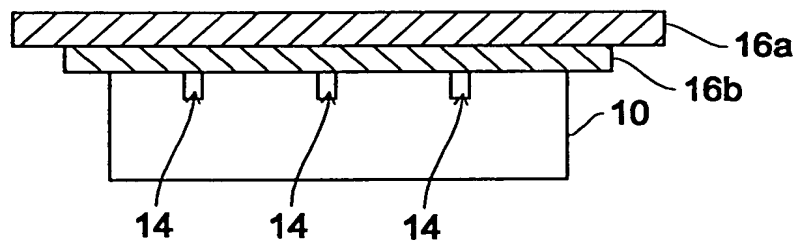


Fig. 3

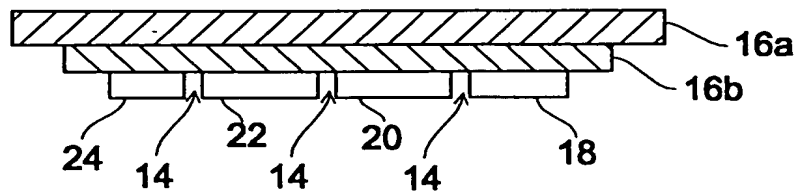
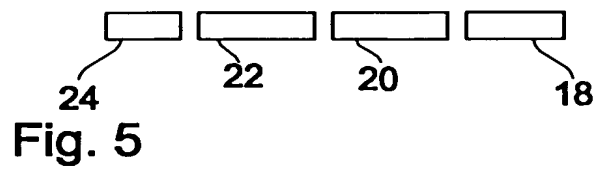


Fig. 4



# VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS

Absender: MIT DER INTERNATIONALEN VORLÄUFIGEN  
PRÜFUNG BEAUFTRAGTE BEHÖRDE

11. Okt. 2001

PCT

An:

SCHOPPE, Fritz.  
SCHOPPE, ZIMMERMANN & STÖCKELER  
Postfach 71 08 67  
D-81458 München  
ALLEMAGNE

MITTEILUNG ÜBER DIE ÜBERSENDUNG  
DES INTERNATIONALEN VORLÄUFIGEN  
PRÜFUNGSBERICHTS  
(Regel 71.1 PCT)

Absendedatum  
(Tag/Monat/Jahr) 08.10.2001

Aktenzeichen des Anmelders oder Anwalts  
FH000601PCT

## WICHTIGE MITTEILUNG

Internationales Aktenzeichen  
PCT/EP00/05772

Internationales Anmeldedatum (Tag/Monat/Jahr)  
21/06/2000

Prioritätsdatum (Tag/Monat/Jahr)  
01/07/1999

Anmelder  
FRAUNHOFER-GESELLSCHAFT ZUR FÖRDERUNG DER...

1. Dem Anmelder wird mitgeteilt, daß ihm die mit der internationalen vorläufigen Prüfung beauftragte Behörde hiermit den zu der internationalen Anmeldung erstellten internationalen vorläufigen Prüfungsbericht, gegebenenfalls mit den dazugehörigen Anlagen, übermittelt.
2. Eine Kopie des Berichts wird - gegebenenfalls mit den dazugehörigen Anlagen - dem Internationalen Büro zur Weiterleitung an alle ausgewählten Ämter übermittelt.
3. Auf Wunsch eines ausgewählten Amtes wird das Internationale Büro eine Übersetzung des Berichts (jedoch nicht der Anlagen) ins Englische anfertigen und diesem Amt übermitteln.

### 4. ERINNERUNG

Zum Eintritt in die nationale Phase hat der Anmelder vor jedem ausgewählten Amt innerhalb von 30 Monaten ab dem Prioritätsdatum (oder in manchen Ämtern noch später) bestimmte Handlungen (Einreichung von Übersetzungen und Entrichtung nationaler Gebühren) vorzunehmen (Artikel 39 (1)) (siehe auch die durch das Internationale Büro im Formblatt PCT/IB/301 übermittelte Information).

Ist einem ausgewählten Amt eine Übersetzung der internationalen Anmeldung zu übermitteln, so muß diese Übersetzung auch Übersetzungen aller Anlagen zum internationalen vorläufigen Prüfungsbericht enthalten. Es ist Aufgabe des Anmelders, solche Übersetzungen anzufertigen und den betroffenen ausgewählten Ämtern direkt zuzuleiten.

Weitere Einzelheiten zu den maßgebenden Fristen und Erfordernissen der ausgewählten Ämter sind Band II des PCT-Leitfadens für Anmelder zu entnehmen.

Name und Postanschrift der mit der internationalen Prüfung beauftragten Behörde



Europäisches Patentamt - P.B. 5818 Patentlaan 2  
NL-2280 HV Rijswijk - Pays Bas  
Tel. +31 70 340 - 2040 Tx: 31 651 epo nl  
Fax: +31 70 340 - 3016

Bevollmächtigter Bediensteter

Dekker, M

Tel. +31 70 340-4046



# VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS

## PCT

### INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT

(Artikel 36 und Regel 70 PCT)



Aktenzeichen des Anmelders oder Anwalts <b>FH000601PCT</b>	<b>WEITERES VORGEHEN</b> siehe Mitteilung über die Übersendung des internationalen vorläufigen Prüfungsberichts (Formblatt PCT/IPEA/416)	
Internationales Aktenzeichen <b>PCT/EP00/05772</b>	Internationales Anmeldedatum (Tag/Monat/Jahr) <b>21/06/2000</b>	Prioritätsdatum (Tag/Monat/Tag) <b>01/07/1999</b>
Internationale Patentklassifikation (IPK) oder nationale Klassifikation und IPK <b>H01L21/782</b>		
Anmelder <b>FRAUNHOFER-GESELLSCHAFT ZUR FÖRDERUNG DER...</b>		

- Dieser internationale vorläufige Prüfungsbericht wurde von der mit der internationalen vorläufigen Prüfung beauftragten Behörde erstellt und wird dem Anmelder gemäß Artikel 36 übermittelt.
- Dieser BERICHT umfaßt insgesamt 4 Blätter einschließlich dieses Deckblatts.
  - ☒ Außerdem liegen dem Bericht ANLAGEN bei; dabei handelt es sich um Blätter mit Beschreibungen, Ansprüchen und/oder Zeichnungen, die geändert wurden und diesem Bericht zugrunde liegen, und/oder Blätter mit vor dieser Behörde vorgenommenen Berichtigungen (siehe Regel 70.16 und Abschnitt 607 der Verwaltungsrichtlinien zum PCT).

Diese Anlagen umfassen insgesamt 6 Blätter.

3. Dieser Bericht enthält Angaben zu folgenden Punkten:

- I ☒ Grundlage des Berichts
- II ☐ Priorität
- III ☐ Keine Erstellung eines Gutachtens über Neuheit, erfinderische Tätigkeit und gewerbliche Anwendbarkeit
- IV ☐ Mangelnde Einheitlichkeit der Erfindung
- V ☒ Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung
- VI ☐ Bestimmte angeführte Unterlagen
- VII ☐ Bestimmte Mängel der internationalen Anmeldung
- VIII ☒ Bestimmte Bemerkungen zur internationalen Anmeldung

Datum der Einreichung des Antrags <b>26/01/2001</b>	Datum der Fertigstellung dieses Berichts <b>08.10.2001</b>
Nam und Postanschrift der mit der internationalen vorläufigen Prüfung beauftragten Behörde:  Europäisches Patentamt - P.B. 5818 Patentlaan 2 NL-2280 HV Rijswijk - Pays Bas Tel. +31 70 340 - 2040 Tx: 31 651 epo nl Fax: +31 70 340 - 3016	Bevollmächtigter Bediensteter  <b>Gori, P</b>  Tel. Nr. +31 70 340 2963 

**I. Grundlage des Berichts**

1. Hinsichtlich der **Bestandteile** der internationalen Anmeldung (*Ersatzblätter, die dem Anmeldeamt auf eine Aufforderung nach Artikel 14 hin vorgelegt wurden, gelten im Rahmen dieses Berichts als "ursprünglich eingereicht" und sind ihm nicht beigefügt, weil sie keine Änderungen enthalten (Regeln 70.16 und 70.17)*):  
**Beschreibung, Seiten:**

1,2,4-10	ursprüngliche Fassung			
3,3a-3b	eingegangen am	26/07/2001	mit Schreiben vom	25/07/2001

**Patentansprüche, Nr.:**

1-8	eingegangen am	26/07/2001	mit Schreiben vom	25/07/2001
-----	----------------	------------	-------------------	------------

**Zeichnungen, Blätter:**

1/1	ursprüngliche Fassung
-----	-----------------------

2. Hinsichtlich der **Sprache**: Alle vorstehend genannten Bestandteile standen der Behörde in der Sprache, in der die internationale Anmeldung eingereicht worden ist, zur Verfügung oder wurden in dieser eingereicht, sofern unter diesem Punkt nichts anderes angegeben ist.

Die Bestandteile standen der Behörde in der Sprache: zur Verfügung bzw. wurden in dieser Sprache eingereicht; dabei handelt es sich um

- ☐ die Sprache der Übersetzung, die für die Zwecke der internationalen Recherche eingereicht worden ist (nach Regel 23.1(b)).
- ☐ die Veröffentlichungssprache der internationalen Anmeldung (nach Regel 48.3(b)).
- ☐ die Sprache der Übersetzung, die für die Zwecke der internationalen vorläufigen Prüfung eingereicht worden ist (nach Regel 55.2 und/oder 55.3).

3. Hinsichtlich der in der internationalen Anmeldung offenbarten **Nucleotid- und/oder Aminosäuresequenz** ist die internationale vorläufige Prüfung auf der Grundlage des Sequenzprotokolls durchgeführt worden, das:

- ☐ in der internationalen Anmeldung in schriftlicher Form enthalten ist.
- ☐ zusammen mit der internationalen Anmeldung in computerlesbarer Form eingereicht worden ist.
- ☐ bei der Behörde nachträglich in schriftlicher Form eingereicht worden ist.
- ☐ bei der Behörde nachträglich in computerlesbarer Form eingereicht worden ist.
- ☐ Die Erklärung, daß das nachträglich eingereichte schriftliche Sequenzprotokoll nicht über den Offenbarungsgehalt der internationalen Anmeldung im Anmeldezeitpunkt hinausgeht, wurde vorgelegt.
- ☐ Die Erklärung, daß die in computerlesbarer Form erfassten Informationen dem schriftlichen Sequenzprotokoll entsprechen, wurde vorgelegt.

4. Aufgrund der Änderungen sind folgende Unterlagen fortgefallen:

- ☐ Beschreibung,      Seiten:
- ☐ Ansprüche,      Nr.:
- ☐ Zeichnungen,      Blatt:

5. ☐ Dieser Bericht ist ohne Berücksichtigung (von einigen) der Änderungen erstellt worden, da diese aus den angegebenen Gründen nach Auffassung der Behörde über den Offenbarungsgehalt in der ursprünglich eingereichten Fassung hinausgehen (Regel 70.2(c)).

*(Auf Ersatzblätter, die solche Änderungen enthalten, ist unter Punkt 1 hinzuweisen; sie sind diesem Bericht beizufügen).*

6. Etwaige zusätzliche Bemerkungen:

**V. Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung**

**1. Feststellung**

Neuheit (N)	Ja: Ansprüche	1-8
	Nein: Ansprüche	
Erfinderische Tätigkeit (ET)	Ja: Ansprüche	1-8
	Nein: Ansprüche	
Gewerbliche Anwendbarkeit (GA)	Ja: Ansprüche	1-8
	Nein: Ansprüche	

**2. Unterlagen und Erklärungen  
siehe Beiblatt**

**VIII. Bestimmte Bemerkungen zur internationalen Anmeldung**

Zur Klarheit der Patentansprüche, der Beschreibung und der Zeichnungen oder zu der Frage, ob die Ansprüche in vollem Umfang durch die Beschreibung gestützt werden, ist folgendes zu bemerken:  
**siehe Beiblatt**

**Zu Punkt V**

**Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung**

Es wird auf die folgenden Dokumente verwiesen:

D1: WO-A-99/25019;  
D2: US-A-5 071 792;  
D3 : US-A-5 910 687;  
D4 : US-A-5 476 566.

1. Der Gegenstand des Patentanspruchs 1 ist neu (Art. 33(2) PCT), weil kein Dokument des zitierten Standes der Technik alle Merkmale dieses Anspruchs offenbart.
2. Der Gegenstand des Anspruchs 1 wird auch als erfinderisch angesehen (Art. 33(3) PCT), weil die Kombination der Merkmale von Anspruch 1 für den Fachmann nicht naheliegend ist.
3. Der Gegenstand des Anspruchs 1 ist gewerblich anwendbar (Art. 33(4) PCT).

Die abhängige Patentansprüche 2-8 erfüllen auch die Erfordernisse des Art. 33(2), (3) und (4) PCT.

**Zu Punkt VIII**

**Bestimmte Bemerkungen zur internationalen Anmeldung**

Der Gegenstand des Anspruchs 1 steht im Widerspruch mit der Beschreibung bezüglich verschiedener Aspekten der Erfindung, siehe z. B. Seite 8, Absatz 2. Die Anmeldung erfüllt daher nicht die Erfordernisse des Art. 6 PCT.

nen. Durch das mechanische Dünnen und durch das mechanische Vereinzeln der Chips durch Brechen der Verbindungsstege besteht die Gefahr, daß die einzelnen Chips mechanisch beschädigt werden bzw. rauhe bzw. sogar eingerissene Kanten haben. Solche Probleme sind bei 160  $\mu\text{m}$  dicken Chips noch nicht sehr einschneidend. Sollen jedoch Chips mit einer Dicke kleiner als 50  $\mu\text{m}$  und insbesondere mit einer Dicke von 20  $\mu\text{m}$  hergestellt werden, können solche Risse aufgrund der mechanischen Rückseitenbearbeitung und des mechanischen Brechens der Erfindungsstege zu hohen Produktionsausfällen führen, da aufgrund der sehr geringen Dicke ohne weiteres aktive Bereiche der Chips beeinträchtigt bzw. sogar zerstört werden können.

~~Die Aufgabe der vorliegenden Erfindung besteht darin, einerseits ein preisgünstiges und andererseits ein dennoch zuverlässiges Verfahren zum Vereinzeln eines Wafers zu schaffen, um sehr dünnen Schaltungschips zu erhalten.~~

Diese Aufgabe wird durch ein Verfahren nach Patentanspruch 1 gelöst.

Der vorliegenden Erfindung liegt die Erkenntnis zugrunde, daß, um sehr dünne Schaltungschips zu erhalten, mechanische Effekte beim Vereinzeln des Wafers so weit als möglich eliminiert werden müssen. Damit kann die Gefahr der Schädigung der einzelnen Schaltungschips aufgrund mechanischer Effekte stark verringert werden. Bei der Herstellung von sehr dünnen Schaltungschips muß bedacht werden, daß der aktive Bereich eines Schaltungschips sich bereits einige Mikrometer in das Halbleitermaterial hinein erstrecken kann. Wenn an dünne Schaltungschips mit einer Dicke in der Größenordnung von 20  $\mu\text{m}$  gedacht wird, so verbleiben lediglich weniger als 20  $\mu\text{m}$  als "Trägersubstrat" für den aktiven Bereich des Schaltungschips. Erfindungsgemäß wird daher von dem Konzept des mechanischen Vereinzeln abgegangen, das beispielsweise durch Ritzen, Sägen oder Brechen von durch Gräben definierten dünnen Verbindungen, wie es im vorhergehenden ausgeführt worden

→ Seite 3a

- 3a -

Die WO 99/25019 bezieht sich auf ein Verfahren zum Dünnen von Halbleiter-Wafern. Zunächst wird eine Mehrzahl von Rillen in der Vorderseite eines Halbleiterwafers definiert. Die Rillen trennen jede integrierte Schaltung in einen getrennten Chip. Die Rillen erstrecken sich nur teilweise in die Vorderseite. Nach dem Herstellen der Rillen wird eine Polyimidschicht aufgebracht, um eine Planarisierung des mit Rillen versehenen Wafers zu schaffen, und um als Spannungsausgleichsschicht für die nachfolgende Dünnungsoperation durch Schleifen zu dienen. Auf diese Polyimidschicht wird eine Klebstoffschicht durch Sprühen oder Aufschleudern aufgebracht. Der Wafer wird dann mit der Klebstoffschicht auf eine Oberfläche eines Substrats gelegt. Um den Wafer an dem Substrat zu befestigen, werden ein vorbestimmter Druck und eine vorbestimmte Temperatur angewandt, um die Klebstoffschicht auszuhärten. Hierauf wird der Wafer von der Rückseite her durch Schleifen gedünnt. Der gedünnte Wafer wird dann auf einen Nadelblock plaziert und in ein Lösungsmittel eingetaucht, um die Klebstoffschicht aufzulösen, um dann die einzelnen Chips von dem Nadelblock unter Verwendung einer Vakuumvorrichtung zu entfernen und in Chipträgern zu plazieren.

Das US-Patent 5,071,792 bezieht sich auf ein Verfahren zum Bilden extrem dünner integrierter Schaltungschips. Zunächst werden in der Vorderseite des Wafers Rillen erzeugt. Diese Rillen werden dann mit einem harten Material ausgefüllt, das als Schleifenstopp wirkt. Dieses Material wird dann planarisiert und mit Wachs versehen, das eine vorübergehende Haftung zwischen einer Passivierungsbeschichtung und der planaren Oberfläche eines Zwischenträgers liefert. Hierauf wird die Rückseite des Wafers geschliffen, um eine Vereinzelung der Chips zu erreichen. Hierbei wirkt das relativ harte Material in den Rillen als Schleifstopp. Nach dem Schleifen wird das Schleifstoppmaterial aus den Rillen entfernt. Um schließlich die einzelnen Chips zu erreichen, wird der Wachsfilm geschmolzen.

---&gt; Seit 3b



- 3b -

~~nen. Durch das mechanische Dünnen und durch das mechanische~~  
Vereinzeln der Chips durch Brechen der Verbindungsstege besteht die Gefahr, daß die einzelnen Chips mechanisch beschädigt werden bzw. rauhe bzw. sogar eingerissene Kanten haben. Solche Probleme sind bei 160  $\mu\text{m}$  dicken Chips noch nicht sehr einschneidend. Sollen jedoch Chips mit einer Dicke kleiner als 50  $\mu\text{m}$  und insbesondere mit einer Dicke von 20  $\mu\text{m}$  hergestellt werden, können solche Risse aufgrund der mechanischen Rückseitenbearbeitung und des mechanischen Brechens der Erfindungsstege zu hohen Produktionsausfällen führen, da aufgrund der sehr geringen Dicke ohne weiteres aktive Bereiche der Chips beeinträchtigt bzw. sogar zerstört werden können.

Die Aufgabe der vorliegenden Erfindung besteht darin, einerseits ein preisgünstiges und andererseits ein dennoch zuverlässiges Verfahren zum Vereinzeln eines Wafers zu schaffen, um sehr dünnen Schaltungschips zu erhalten.

Diese Aufgabe wird durch ein Verfahren nach Patentanspruch 1 gelöst.

Der vorliegenden Erfindung liegt die Erkenntnis zugrunde, daß, um sehr dünne Schaltungschips zu erhalten, mechanische Effekte beim Vereinzeln des Wafers so weit als möglich eliminiert werden müssen. Damit kann die Gefahr der Schädigung der einzelnen Schaltungschips aufgrund mechanischer Effekte stark verringert werden. Bei der Herstellung von sehr dünnen Schaltungschips muß bedacht werden, daß der aktive Bereich eines Schaltungschips sich bereits einige Mikrometer in das Halbleitermaterial hinein erstrecken kann. Wenn an dünne Schaltungschips mit einer Dicke in der Größenordnung von 20  $\mu\text{m}$  gedacht wird, so verbleiben lediglich weniger als 20  $\mu\text{m}$  als "Trägersubstrat" für den aktiven Bereich des Schaltungschips. Erfindungsgemäß wird daher von dem Konzept des mechanischen Vereinzeln abgegangen, das beispielsweise durch Ritzen, Sägen oder Brechen von durch Gräben definierten dünnen Verbindungen, wie es im vorhergehenden ausgeführt worden

Patentansprüche

1. Verfahren zum Vereinzeln eines Wafers (10), der eine Mehrzahl von Schaltungsstrukturen (12a, 12b) aufweist, mit folgenden Schritten:

Definieren eines Grabens (14) zwischen zumindest zwei Schaltungsstrukturen (12a, 12b) auf einer Seite des Wafers (10);

Ausführen des Grabens (14) bis zu einer bestimmten Tiefe (d) durch Trockenätzen;

Befestigen eines wieder lösbaren Zwischenträgers (16a, 16b), der aus einem festen Zwischenträgersubstrat (16a) und einem auf diesem aufgebrachten, in seiner Haftkraft gezielt veränderbaren Haftmedium (16b) besteht, an der einen Seite des Wafers (10), wobei das Haftmedium (16b) eine beidseitig haftende Klebefolie ist, wobei die Seite der Haftfolie, die an der einen Seite des Wafers befestigt ist, die veränderbare Haftkraft aufweist, und wobei die Haftkraft durch Erwärmen reduziert werden kann;

Dünnen des an dem Zwischenträger (16a, 16b) befestigten Wafer von der anderen Seite aus durch Trockenätzen, um einzelne Schaltungschips (18, 20, 22, 24) zu erhalten, die durch den Zwischenträger (16a, 16b) gehalten werden; und

Entfernen der einzelnen Schaltungschips (18, 20, 22, 24) von dem Zwischenträger (16a, 16b) durch Erwärmen des Zwischenträgers (16a, 16b), um die Haftkraft des Haftmediums (16b) zu verringern, bis die Schaltungschips (18, 20, 22, 24) von dem Zwischenträger gelöst werden können.

2. Verfahren nach Anspruch 1, bei dem der Schritt des Trockenätzens der anderen Seite des Wafers (10) so lange ausgeführt wird, bis die Schaltungschips eine Dicke haben, die kleiner als 50  $\mu\text{m}$  ist und vorzugsweise 20  $\mu\text{m}$  beträgt.

3. Verfahren nach Anspruch 1,

bei dem das Ausführen des Grabens derart durchgeführt wird, daß eine vorbestimmte Tiefe erreicht ist, die gleich einer Ziel-Chipdicke ist; und

bei dem der Schritt des Trockenätzens der anderen Seite des Wafers so lange ausgeführt wird, bis der Graben im wesentlichen erreicht ist.

4. Verfahren nach einem der vorhergehenden Ansprüche,

bei dem vor dem Schritt des Trockenätzens der anderen Seite des Wafers (10) ein Schritt des Vordünnens ausgeführt wird, derart, daß die Schaltungschips noch über den Graben (14) hinweg miteinander verbunden sind und die Dicke dieser Verbindung einen bestimmten Wert hat.

5. Verfahren nach Anspruch 5, bei dem der Schritt des Vordünnens das Schleifen, das naßchemische Ätzen oder eine Kombination derselben aufweist.

6. Verfahren nach einem der Ansprüche 1 bis 5, bei dem im Schritt des Definierens des Grabens ein Graben mit zumindest einem runden Abschnitt definiert wird.

7. Verfahren nach einem der vorhergehenden Ansprüche, bei dem der Wafer aus Si, GaAs oder einem anderen III-V-Halbleiter besteht.

8. Verfahren nach einem der Ansprüche 1 bis 7, bei dem der

Schritt des Definierens das Aufbringen einer SiO<sub>2</sub>-Maske  
oder einer Lackmaske mit Seitenwandschutz durch Poly-  
merabscheidung aufweist.

## Verfahren zum Vereinzeln eines Wafers

### Beschreibung

Die vorliegende Erfindung bezieht sich auf die Herstellung von integrierten Schaltungen und insbesondere auf ein Verfahren zum Vereinzeln eines Wafers, der eine Mehrzahl von einzelnen Schaltungsstrukturen aufweist, um sehr dünne Schaltungschips zu erhalten.

In letzter Zeit entsteht immer mehr der Bedarf nach dünnen Chips einerseits und nach hoher Flexibilität andererseits, um elektronische Schaltungschips in einer Vielzahl von Anwendungen einzusetzen. Die Forderung nach dünnen Schaltungschips ergibt sich einerseits aus immer komplexeren elektronischen Systemen, die aus einzelnen fertig prozessierten und von verschiedenen Herstellern verfügbaren Chips zusammengesetzt sein sollen, und die gleichzeitig auch für Hochfrequenz-Anwendungen tauglich sein sollen und zudem wenig Platz einnehmen sollen. Um den Preis des gesamten Systems gering zu halten, sollen solche Chips bzw. Module mit solchen Chips mittels üblicher preisgünstiger Herstellungsverfahren aufgebaut werden können.

Eine wesentliche Anforderung besteht insbesondere darin, für möglichst viele Anwendungen vorprozessierte Chips, die fertig erworben werden können, einsetzen zu können, um z. B. von einem einzelnen Chiphersteller unabhängig zu sein, oder aber um keine eigenen Chips entwickeln zu müssen, was in vielen Fällen den Preis erhöhen würde, sondern um sich lediglich auf die Verschaltung der einzelnen Chipkomponenten konzentrieren zu können, wenn ein neues System entwickelt wird. So haben Untersuchungen gezeigt, daß beispielsweise bei einfachen Silizium-Schaltungschips bis zu 90% der Wertschöpfung des späteren Produkts im Bereich der Aufbau- und Verbindungstechnik liegen, aber nicht bei der Herstellung des Wafers, aus dem durch Vereinzeln die einzelnen Schal-

- 2 -

tungschips erhalten werden können.

Somit muß auf vorprozessierte Wafer zurückgegriffen werden, um durch Vereinzeln die einzelnen Schaltungschips zu erhalten.

Das U.S.-Patent Nr. 4,722,130 beschreibt ein Verfahren zum Herstellen von Halbleiterchips durch Vereinzeln eines Halbleiterwafers. Hierzu wird ein gitterförmiger Graben in die Vorderseite des Wafers eingebracht, woraufhin eine einseitige Nylon-Klebefolie auf die Vorderseite des Wafers, in der der Graben gebildet ist, aufgebracht wird. Anschließend wird die Rückseite des Trägers abgeschliffen, um den Wafer bis zu einer bestimmten Dicke abzdünnen, wobei die Dicke des abgedünnten Wafers so gewählt ist, daß die einzelnen, durch die Gräben bereits festgelegten Schaltungschips über relativ dünne Verbindungsstege verbunden sind. Um die einzelnen durch Verbindungsstege verbundene Schaltungschips voneinander zu trennen, wird die Nylon-Klebefolie von einer Seite des Wafers aus abgezogen, was bewirkt, daß die Verbindungsstege zwischen den Schaltungschips aufgrund der Zugwirkung beim Abziehen der Klebefolie springen. Wenn die Klebefolie abgezogen ist, hängen die vereinzelt Chips noch auf einer elastischen Trägerfolie auf der gegenüberliegenden Seite des Chips, die vor dem Abziehen der Nylon-Klebefolie angebracht worden ist. Hierauf wird die elastische Klebefolie transversal auseinandergezogen, was bewirkt, daß die Zwischenräume zwischen den Schaltungschips aufgeweitet werden, was ohne weiteres möglich ist, da die Verbindungsstege bereits gesprungen sind. Dann können die einzelnen Schaltungschips abgenommen werden und an Ort und Stelle eingesetzt werden bzw. weiterverwendet werden. Derart produzierte Schaltungschips haben eine Dicke von etwa 160  $\mu\text{m}$ , wobei von einem Standard-GaAs-Wafer ausgegangen wurde, der eine Dicke von 630  $\mu\text{m}$  hatte, bevor er durch Schleifen abgedünnt wurde.

Nachteilig an diesem Verfahren ist, daß keine sehr dünnen und damit auch sehr empfindlichen Chips erzeugt werden kön-

nen. Durch das mechanische Dünnen und durch das mechanische Vereinzeln der Chips durch Brechen der Verbindungsstege besteht die Gefahr, daß die einzelnen Chips mechanisch beschädigt werden bzw. rauhe bzw. sogar eingerissene Kanten haben. Solche Probleme sind bei 160  $\mu\text{m}$  dicken Chips noch nicht sehr einschneidend. Sollen jedoch Chips mit einer Dicke kleiner als 50  $\mu\text{m}$  und insbesondere mit einer Dicke von 20  $\mu\text{m}$  hergestellt werden, können solche Risse aufgrund der mechanischen Rückseitenbearbeitung und des mechanischen Brechens der Erfindungsstege zu hohen Produktionsausfällen führen, da aufgrund der sehr geringen Dicke ohne weiteres aktive Bereiche der Chips beeinträchtigt bzw. sogar zerstört werden können.

Die Aufgabe der vorliegenden Erfindung besteht darin, einerseits ein preisgünstiges und andererseits ein dennoch zuverlässiges Verfahren zum Vereinzeln eines Wafers zu schaffen, um sehr dünnen Schaltungschips zu erhalten.

Diese Aufgabe wird durch ein Verfahren nach Patentanspruch 1 gelöst.

Der vorliegenden Erfindung liegt die Erkenntnis zugrunde, daß, um sehr dünne Schaltungschips zu erhalten, mechanische Effekte beim Vereinzeln des Wafers so weit als möglich eliminiert werden müssen. Damit kann die Gefahr der Schädigung der einzelnen Schaltungschips aufgrund mechanischer Effekte stark verringert werden. Bei der Herstellung von sehr dünnen Schaltungschips muß bedacht werden, daß der aktive Bereich eines Schaltungschips sich bereits einige Mikrometer in das Halbleitermaterial hinein erstrecken kann. Wenn an dünne Schaltungschips mit einer Dicke in der Größenordnung von 20  $\mu\text{m}$  gedacht wird, so verbleiben lediglich weniger als 20  $\mu\text{m}$  als "Trägersubstrat" für den aktiven Bereich des Schaltungschips. Erfindungsgemäß wird daher von dem Konzept des mechanischen Vereinzeln abgegangen, das beispielsweise durch Ritzen, Sägen oder Brechen von durch Gräben definierten dünnen Verbindungen, wie es im vorhergehenden ausgeführt worden

ist, erreicht wird, und es wird eine Vereinzelung mittels Trockenätzen von der Waferrückseite durchgeführt.

Erfindungsgemäß wird ein Wafer, der eine Mehrzahl von Schaltungsstrukturen aufweist, derart vereinzelt, daß zunächst ein Graben zwischen zumindest zwei Schaltungsstrukturen definiert wird. Anschließend wird der Graben bis zu einer bestimmten Tiefe ausgeführt. Hierauf wird ein wieder lösbarer Zwischenträger auf der Seite des Wafers befestigt, in der der Graben ausgeführt ist. Dann wird der Wafer von der anderen Seite aus einer Trockenätzung unterzogen, bis die Gräben freigelegt sind. Dadurch ist eine Vereinzelung erreicht, bei der keine mechanischen Belastungen auf die Schaltungschips ausgeübt worden ist.

Wenn, wie es besonders bevorzugt wird, auch der Graben nicht mechanisch sondern ebenfalls durch Trockenätzen gebildet wird, so wird bei der gesamten Vereinzelung des Wafers überhaupt keine mechanische Belastung auf die einzelnen Schaltungschips ausgeübt. Dies führt dazu, daß auch sehr dünne Schaltungschips erzeugt werden können, ohne daß der Ausschub besonders ansteigt.

Gemäß einem bevorzugten Ausführungsbeispiel wird der Wafer vor dem Trockenätzen der Rückseite beispielsweise mittels naßchemischem Ätzen oder Schleifen vorgedünnt, wobei das Vordünnen mittels mechanischer Mittel lediglich soweit ausgeführt wird, daß nahezu ausgeschlossen werden kann, daß bereits eine mechanische Beeinträchtigung des Materials aufgetreten ist, das schließlich die Schaltungschips bildet.

Als Zwischenträger wird vorzugsweise eine zweiseitige Haftfolie verwendet, deren eine Seite an einem Wafersubstrat klebt, und deren andere Seite mit dem zu vereinzelnenden Wafer verbunden ist und eine variable Haftkraft hat, so daß nach dem Trockenätzen lediglich beispielsweise durch Erwärmen oder durch Bestrahlen mit UV-Strahlung die Haftkraft dieser Seite der Klebefolie derart verringert werden kann, daß die



vereinzelten Schaltungschips ohne weiteres gelöst werden können, um weiterverarbeitet zu werden.

Selbst wenn der Graben durch schonende mechanische Verarbeitungsverfahren ausgeführt wird, kann bereits aufgrund des Trockenätzens von der Rückseite aus, um den Wafer zu vereinzeln, eine Mehrzahl von Schaltungschips mit relativ geringer Ausschußrate erzeugt werden. Solche Schaltungschips können eine Dicke haben, die kleiner als  $50\text{ }\mu\text{m}$  ist und insbesondere bei  $20\text{ }\mu\text{m}$  liegt und sogar auf bis zu  $5\text{ }\mu\text{m}$  reduziert werden kann.

Wenn jedoch, wie es bevorzugt wird, auch der Graben durch Trockenätzen, also sehr materialschonend, erzeugt wird, so ergeben sich noch einige weitere Vorteile, indem überhaupt keine mechanischen Belastungen auf die Bereiche des Wafers ausgeübt werden, die schließlich die dünnen Schaltungschips ergeben.

Generell ist das Ausführen des Grabens unter Verwendung einer Maske für das Ätzen aufgrund der Tatsache, daß der Graben nicht besonders tief zu sein braucht, da die Chips sehr dünn sind, relativ schnell, so daß im Vergleich zum Sägen eines Wafers, das insbesondere bei kleinen Chips und Scheiben mit einem Durchmesser von 20 bis 30 cm bis zu mehrere Stunden dauern kann, eine wesentliche Durchsatzserhöhung erreichbar ist. Darüberhinaus passen ebenfalls im Vergleich zum Sägen insbesondere bei kleinen Chips wesentlich mehr Chips auf einen Wafer, da Sägegräben im allgemeinen eine Dicke von etwa  $100\text{ }\mu\text{m}$  haben, während für trockenengeätzte Gräben bis zu der angestrebten Tiefe, die in etwa der Dicke der Schaltungschips entsprechen wird, lediglich  $10\text{ }\mu\text{m}$  benötigt werden. Insbesondere bei kleinen Chips kann die Chipanzahl pro Wafer um bis zu 10 bis 15% gesteigert werden.

Die Chips sind aufgrund der Ätzbehandlung zumindest ihrer Rückseite und vorzugsweise auch ihrer Seitenkanten mechanisch integer, was besonders dann wichtig ist, wenn die

Chips gebogen werden müssen, wie es beispielsweise der Fall sein kann, wenn sie in elektronischen Etiketten eingesetzt werden müssen.

Schließlich sind insbesondere durch Trockenätzen des Grabens beliebige Chipformen möglich, also nicht nur rechteckige Formen, wie es beim Sägen der Fall ist, was besonders für Leistungshalbleiter entscheidend sein kann, da Chipecken eliminiert werden können, welche ansonsten sehr hohe elektrische Felder erzeugen. Schließlich kann auch die Lage der Chips von hinten eindeutig identifiziert werden, was z. B. beim Die-Bonden und beim Erkennen von guten und schlechten Chips von großem Vorteil sein wird.

Bevorzugte Ausführungsbeispiele der vorliegenden Erfindung werden nachfolgend bezugnehmend auf die beiliegenden Zeichnungen detailliert erläutert. Es zeigen:

Fig. 1 eine Draufsicht auf einen Wafer mit einer Mehrzahl von Schaltungschips, in dem ein Graben definiert ist;

Fig. 2 eine Querschnittsansicht des Wafers von Fig. 1, in dem der Graben ausgeführt ist;

Fig. 3 eine Ansicht des Wafers von Fig. 2, der an einem Zwischenträger befestigt ist;

Fig. 4 eine Ansicht des Wafers von Fig. 3 nach dem Dünnen des Wafers unter Verwendung eines Trockenätzverfahrens; und

Fig. 5 die einzelnen Schaltungschips, nachdem sie vom Zwischenträger entfernt worden sind.

Fig. 1 zeigt eine Draufsicht auf einen Ausschnitt eines Wafers 10, der eine Mehrzahl von fertig prozessierten einzelnen Schaltungsstrukturen 12a, 12b aufweist. Auf dem Wafer 10

ist bereits ein Graben 14 definiert. Das Definieren des Grabens kann beispielsweise im Falle des mechanischen Erzeugens des Grabens 14 durch Eingeben der Koordinaten für eine Säge- oder eine Ritzeinrichtung stattfinden. Im Falle des Erzeugens des Grabens 14 unter Verwendung eines Trockenätzverfahrens wird der Graben durch Aufbringen einer Lackmaske mit Seitenwandschutz durch Polymerabscheidung gebildet. Alternativ kann die Ätzmaske, die den Graben 14 definiert, auch als  $\text{SiO}_2$ -Maske ausgeführt sein. Zusammenfassend können sämtliche Verfahren zum Bilden einer Ätzmaske eingesetzt werden, um den Graben 14 zu definieren.

Fig. 2 zeigt eine Querschnittsdarstellung entlang der Linie A-A von Fig. 1 durch den Wafer 10, nachdem der Graben 14 bis zu einer bestimmten Tiefe d ausgeführt ist. Die vorbestimmte Dicke wird zumindest gleich der Zieldicke des herzustellenden Schaltungschips gewählt, so daß die Schaltungschips später ohne mechanische Einwirkungen vereinzelt werden können.

Wird beispielsweise der Prozeß mit Polymerabscheidung eingesetzt, so kann als Ätzgas  $\text{SF}_6$  und als Polymerschutz  $\text{CHF}_3$  und  $\text{C}_2\text{F}_6$  eingesetzt werden. Nähere Einzelheiten zu diesem Verfahren sind in der DE 4241045 offenbart.

Wird ein Prozeß mit einer  $\text{SiO}_2$ -Maske eingesetzt, so kann als Ätzgas ein Gemisch aus  $\text{HBr}$ ,  $\text{Cl}_2$ ,  $\text{O}_2$  und  $\text{He}$  eingesetzt werden. Darüberhinaus können sämtliche anderen bekannten Trockenätzverfahren eingesetzt werden. Das Trockenätzen allgemein hat den wesentlichen Vorteil, daß die Ränder der Schaltungschips im Gegensatz zu einer mechanischen Ausführung des Grabens nicht mechanisch beansprucht werden und somit stabil sind.

Fig. 3 zeigt den mit dem Graben 14 versehenen Schaltungschip 10, nachdem er an einem Zwischenträger befestigt ist, der sich aus einem Substratwafer 16a und aus einem Haftmedium 16b zusammensetzen kann. Als Haftmedium 16b wird vorzugsweise eine beidseitig haftende Klebefolie eingesetzt, deren

eine Seite eine spezielle Beschichtung hat, die nach Erwärmung auf beispielsweise 90 bis 140°C ihre Haftkraft verliert. Die andere Seite hat dabei keine variierende Haftkraft. Die Trägerfolie wird derart angebracht, daß die Seite mit der nicht-variierenden Haftkraft mit dem Waferträger 16a verbunden ist, während die Seite mit variierender Haftkraft mit dem Halbleiterwafer 10 verbunden wird, wie es in Fig. 3 gezeigt ist. Eine wesentliche Eigenschaft des Zwischenträgers 16a, 16b besteht darin, daß die Klebeverbindung mit dem Wafer 10 wieder gelöst werden kann. Ferner ist eine vollflächige lunkerfreie Verbindung von Vorteil.

Alternative Materialien für das Haftmedium 16b sind Thermoplastmaterialien oder Klebefolien, deren Haftkraft nicht durch Wärme, sondern durch UV-Licht variierbar ist. Falls UV-lichtempfindliche Folien eingesetzt werden, so muß das Trägersubstrat 16a transparent sein. In diesem Falle kann als Trägersubstrat ein Glaswafer zum Einsatz kommen.

Nach dem Aufkleben des Wafers 10 an dem Zwischenträger 16a, 16b wird der Wafer, wie es in Fig. 4 gezeigt ist, von der Rückseite her gedünnt. Falls der Ausgangswafer 10 bereits relativ dünn ist, so dürfte es ausreichend sein, daß lediglich ein Trockenätzverfahren eingesetzt wird, um die einzelnen Schaltungschips voneinander zu trennen, d. h. um die Rückseite mindestens bis zum Graben zu entfernen. Liegt jedoch ein dicker Wafer beispielsweise mit einer Dicke von 700 µm vor, was für käufliche Wafer ein typischer Wert ist, so wird es bevorzugt, vor dem abschließenden Trockenätzschritt zum Vereinzeln der Schaltungschips ein schnelleres Verfahren einzusetzen, wie z. B. mechanisches Schleifen, Naßätzen oder ähnliches. Ein Verfahren, das sich als vorteilhaft herausgestellt hat, ist das sogenannten Spin-Ätzen. Hier liegt der Wafer auf einem rotierenden Teller, während von oben das Ätzmedium auf die Scheibe fließt und von dort abgeschleudert wird.

Ist der Wafer dann auf eine vorbestimmte Dicke vorgedünnt,

so verbleibt der letzte Schritt des Vereinzelns dem Trocken-ätzverfahren. Hierzu wird es bevorzugt, das Ätzgasgemisch  $\text{Cl}_2$  und  $\text{CF}_4$  oder als alleiniges Ätzgas  $\text{SF}_6$  einzusetzen. Es sei angemerkt, daß generell zum Ätzen von Silizium eine Chlor- und Fluor-Chemie gut geeignet ist. Das Ätzgas  $\text{NF}_3$  ist ebenfalls sehr wirksam, hat jedoch derzeit noch einen relativ hohen Preis und wird daher derzeit weniger bevorzugt.

Wie es in Fig. 4 gezeigt ist, sind nun einzelne Schaltungschips 18, 20, 22 und 24 entstanden, welche nicht mehr miteinander in Verbindung stehen sondern lediglich durch das Haftmedium 16b gehalten werden. Im Falle einer Verwendung der zweiseitig klebende Folie mit einer Seite mit variabler Haftkraft können die einzelnen Schaltungschips 18, 20, 22, 24 nun ohne weiteres durch Verändern der Haftkraft entfernt werden, um dann, wie es in Fig. 5 gezeigt ist, völlig unabhängig voneinander vorzuliegen, um dann von einer Bestückungsmaschine oder einer ähnlichen Vorrichtung aufgenommen zu werden, um an ihrem letztendlichen Bestimmungsort untergebracht zu werden.

Es sei darauf hingewiesen, daß dieses Verfahren nicht nur für Siliziumwafer geeignet ist, sondern auch für GaAs-Wafer, welche aufgrund ihrer Sprödigkeit mechanisch besonders anfällig sind, sowie für andere III-V-Halbleiter. Selbstverständlich werden für andere Halbleitermaterialien als Silizium auch andere Ätzgase als die genannten eingesetzt.

Die vereinzelt dünnen Schaltungschips 18, 20, 22, 24 können in elektronischen Bauteilen und Systemen eingesetzt werden, welche einen extrem geringen Volumenbedarf erfordern, wie z. B. in mobilen Telekommunikationssystemen oder in medizinischen Überwachungs- und Hilfssystemen, wie Hörgeräten, Herzschrittmachern, am Körper getragenen Überwachungs- und Diagnosegeräten, usw.

Andere Einsatzmöglichkeiten sind elektronische Bauteile, welche für eine elektrische Signalübertragung optimiert

sind, wie z. B. Hochfrequenzbauelemente.

Schließlich können die erfindungsgemäß vereinzelt dünnen Schaltungschips zu Schaltungsmodulen kombiniert werden, welche Einzelkomponenten aus unterschiedlichen Grundmaterialien umfassen, oder bei denen Chips aus unterschiedlichen Fertigungstechnologien zusammengesetzt sind. Superdünne Schaltungschips können besonders bei Systemen aus Speicher-Chips, Logik-Chips, Sensorbauelementen, Chipkarten-Chips, Leistungsbaulementen oder Hochfrequenzübertragungschips (Transponder) zum Einsatz kommen.

Erfindungsgemäß erzeugte dünne Schaltungschips tragen aufgrund ihrer sehr geringen Dünne nur als dünner Film zum gesamten Bauelementevolumen bei. Ein komplettes Chipsystem, das beispielsweise aus einem normalen Chip und einem superdünnen Chip besteht, ist letztendlich nicht wesentlich größer als ein üblicher integrierter Schaltkreis.

Aufgrund der geringen Dicke der vereinzelt Schaltungschips können nun auch Oberflächenbearbeitungstechniken zur Kontaktierung und Verdrahtung einzelner Chips in einem Multi-Chip-Modul unter Verwendung üblicher Techniken eingesetzt werden, die plane bzw. nahezu plane Oberflächen erfordern.

Schließlich können mit dem erfindungsgemäßen Verfahren nicht nur speziell hergestellte bzw. vorbearbeitete Schaltungswafer vereinzelt werden, sondern sämtliche Wafer, welche fertigprozessiert von beliebigen Herstellern erworben werden können.

Patentansprüche

1. Verfahren zum Vereinzeln eines Wafers (10), der eine Mehrzahl von Schaltungsstrukturen (12a, 12b) aufweist, mit folgenden Schritten:

Definieren eines Grabens (14) zwischen zumindest zwei Schaltungsstrukturen (12a, 12b) auf einer Seite des Wafers (10);

Ausführen des Grabens (14) bis zu einer bestimmten Tiefe (d);

Befestigen eines wieder lösbaren Zwischenträgers (16a, 16b), der aus einem festen Zwischenträgersubstrat und einem auf diesem aufgebracht, in seiner Haftkraft gezielt veränderbaren Haftmedium besteht, an der einen Seite des Wafers (10);

Trockenätzen des an dem Zwischenträger (16a, 16b) befestigten Wafer von der anderen Seite aus, um Schaltungschips (18, 20, 22, 24) zu erhalten, die durch den Zwischenträger (16a, 16b) gehalten werden; und

Entfernen der Schaltungschips (18, 20, 22, 24) von dem Zwischenträger (16a, 16b) durch Reduktion der Haftkraft des Haftmediums.

2. Verfahren nach Anspruch 1, bei dem der Schritt des Ausführens des Grabens (14) das Trockenätzen der Seite des Wafers, auf der der Graben definiert ist, aufweist.
3. Verfahren nach Anspruch 1 oder 2, bei dem der Schritt des Trockenätzens der anderen Seite des Wafers (10) so lange ausgeführt wird, bis die Schaltungschips eine Dicke haben, die kleiner als 50  $\mu\text{m}$  ist und vorzugsweise 20  $\mu\text{m}$  beträgt.

- 12 -

4. Verfahren nach Anspruch 1 oder 2,

bei dem das Ausführen des Grabens derart durchgeführt wird, daß eine vorbestimmte Tiefe erreicht ist, die gleich einer Ziel-Chipdicke ist; und

bei dem der Schritt des Trockenätzens der anderen Seite des Wafers so lange ausgeführt wird, bis der Graben im wesentlichen erreicht ist.

5. Verfahren nach einem der vorhergehenden Ansprüche,

bei dem vor dem Schritt des Trockenätzens der anderen Seite des Wafers (10) ein Schritt des Vordünnens ausgeführt wird, derart, daß die Schaltungschips noch über den Graben (14) hinweg miteinander verbunden sind und die Dicke dieser Verbindung einen bestimmten Wert hat.

6. Verfahren nach Anspruch 5, bei dem der Schritt des Vordünnens das Schleifen, das naßchemische Ätzen oder eine Kombination derselben aufweist.

7. Verfahren nach einem der vorhergehenden Ansprüche, bei dem der Schritt des Befestigens an einen Zwischenträger (16a, 16) die Verwendung eines Haftmediums (16b) mit variabler Haftkraft aufweist.

8. Verfahren nach Anspruch 7, bei dem das Haftmedium (16b) eine beidseitig haftende Klebefolie ist, wobei die Seite der Haftfolie, die an der einen Seite befestigt ist, die variable Haftkraft aufweist.

9. Verfahren nach Anspruch 7 oder 8, bei dem das Haftmedium (16b) derart beschaffen ist, daß die Haftkraft durch Erwärmen reduziert wird; und

bei dem der Schritt des Entferns folgenden Schritt aufweist:



Erwärmen des Zwischenträgers (16a, 16b), bis die Schaltungschips von dem Zwischenträger gelöst werden können.

10. Verfahren nach Anspruch 7 oder 8, bei dem das Haftmedium derart beschaffen ist, daß die Haftkraft durch Bestrahlung mit UV-Licht reduziert wird;

bei dem der Zwischenträger einen Glaswafer (16a) aufweist; und

bei dem der Schritt des Entferns folgenden Schritt aufweist:

Einstrahlen von UV-Licht durch den Glaswafer (16a) auf das Haftmedium (16b), bis die Schaltungschips (18, 20, 22, 24) von dem Zwischenträger gelöst werden können.

11. Verfahren nach einem der Ansprüche 2 bis 9, bei dem im Schritt des Definierens des Grabens ein Graben mit zumindest einem runden Abschnitt definiert wird.
12. Verfahren nach einem der vorhergehenden Ansprüche, bei dem der Wafer aus Si, GaAs oder einem anderen III-V-Halbleiter besteht.
13. Verfahren nach einem der Ansprüche 2 bis 12, bei dem der Schritt des Definierens das Aufbringen einer SiO<sub>2</sub>-Maske oder einer Lackmaske mit Seitenwandschutz durch Polymerabscheidung aufweist.

**THIS PAGE BLANK (USPTO)**

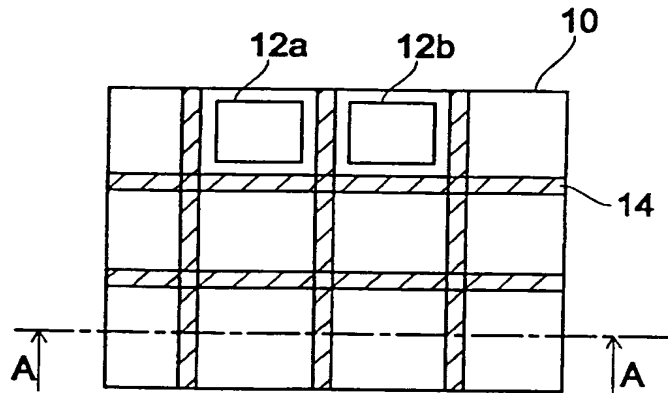


Fig. 1

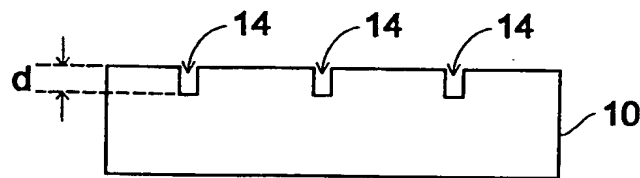


Fig. 2

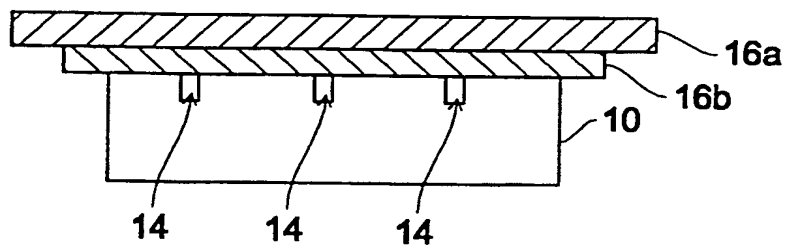


Fig. 3

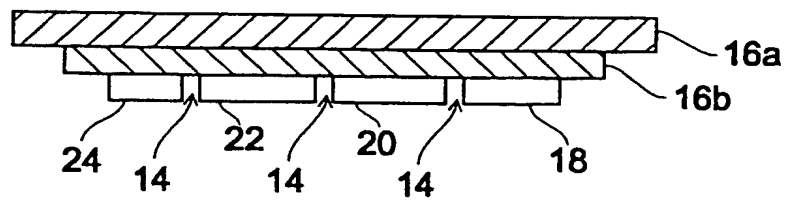


Fig. 4

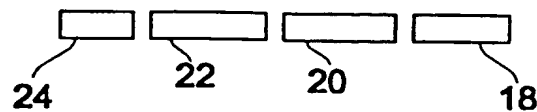


Fig. 5

# INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP 00/05772

**A. CLASSIFICATION OF SUBJECT MATTER**  
IPC 7 H01L21/782 H01L21/68

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

PAJ, INSPEC

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5 071 792 A (VAN VONNO ET AL.) 10 December 1991 (1991-12-10) column 3, line 56 -column 4, line 51; figures 3-6	1,3-7,9, 12
Y	US 5 910 687 A (CHEN ET AL.) 8 June 1999 (1999-06-08) column 9, line 50 -column 10, line 7	1,3-7,9, 12
A	PATENT ABSTRACTS OF JAPAN vol. 018, no. 080 (E-1505), 9 February 1994 (1994-02-09) & JP 05 291397 A (TOSHIBA CORP), 5 November 1993 (1993-11-05) abstract	8-10
	--- -/-	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

\* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- "&" document member of the same patent family

Date of the actual completion of the international search

13 November 2000

Date of mailing of the international search report

21/11/2000

Name and mailing address of the ISA  
European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Gori, P

# INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP 00/05772

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5071792 A	10-12-1991	EP 0537306 A WO 9209098 A US 5185292 A	21-04-1993 29-05-1992 09-02-1993
US 5910687 A	08-06-1999	AU 6251298 A GB 2336034 A WO 9833215 A	18-08-1998 06-10-1999 30-07-1998
JP 05291397 A	05-11-1993	NONE	
WO 9925019 A	20-05-1999	EP 1038315 A	27-09-2000
US 5476566 A	19-12-1995	NONE	

# INTERNATIONALER RECHERCHENBERICHT

ern. .ales Aktenzeichen

PCT/EP 00/05772

**A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES**  
IPK 7 H01L21/782 H01L21/68

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

## B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)  
IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

PAJ, INSPEC

## C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	US 5 071 792 A (VAN VONNO ET AL.) 10. Dezember 1991 (1991-12-10) Spalte 3, Zeile 56 -Spalte 4, Zeile 51; Abbildungen 3-6	1,3-7,9, 12
Y	US 5 910 687 A (CHEN ET AL.) 8. Juni 1999 (1999-06-08) Spalte 9, Zeile 50 -Spalte 10, Zeile 7	1,3-7,9, 12
A	PATENT ABSTRACTS OF JAPAN vol. 018, no. 080 (E-1505), 9. Februar 1994 (1994-02-09) & JP 05 291397 A (TOSHIBA CORP), 5. November 1993 (1993-11-05) Zusammenfassung	8-10



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

\* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"Z" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

13. November 2000

Absendedatum des internationalen Recherchenberichts

21/11/2000

Name und Postanschrift der Internationalen Recherchenbehörde  
Europäisches Patentamt, P.B. 5818 Patentaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Gori, P

# INTERNATIONALE RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Nummer des Aktenzeichens

PCT/EP 00/05772

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 5071792	A	10-12-1991	EP	0537306 A	21-04-1993
			WO	9209098 A	29-05-1992
			US	5185292 A	09-02-1993
US 5910687	A	08-06-1999	AU	6251298 A	18-08-1998
			GB	2336034 A	06-10-1999
			WO	9833215 A	30-07-1998
JP 05291397	A	05-11-1993	KEINE		
WO 9925019	A	20-05-1999	EP	1038315 A	27-09-2000
US 5476566	A	19-12-1995	KEINE		